

FPGA (Field-Programmable Gate Array)

米田 浩崇
Hirotaka YONEDA

1 はじめに

デジタルコンピューターの登場以来、集積回路の微細化が進み、演算装置の能力は大きく向上した。しかし近年では、その進歩が鈍化しており、演算装置の微細化はムーアの法則に従わなくなっている。一方で、IoT や VR、人工知能といった技術が人々の生活にますます浸透し、必要な演算量は増加している¹⁾。このような需要により、GPU (Graphics Processing Unit) を始めとした特定用途に特化した演算装置が注目されている。FPGA (Field-Programmable Gate Array) もまた、特定用途に特化できる集積回路の一種である。

2 FPGA

2.1 概要

FPGA とは、回路の構成を書き換えることができる集積回路の一種である。回路の書き換えは HDL (Hardware Description Language) というプログラミング言語で行う。マイコンは、CPU コアや周辺回路などのハードウェアがあらかじめ組み込まれており、ユーザはハードウェア部分を変更することができない。一方 FPGA は、ユーザがハードウェア構成を何度でも書き換えることができ、使用用途に適した回路を実装できる。市販されている FPGA ボードの一例を Fig. 1 に示す。

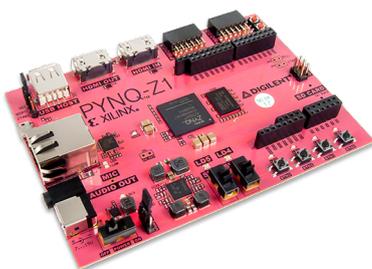


Fig.1 FPGA の製品一例 (PYNQ-Z1)

近年では、FPGA の性能向上に従い、より大規模な回路の搭載が可能となった。FPGA はデジタル処理だけでなく、Fig. 1 のボードのように GPIO ピンを備えるものがある。A/D・D/A 変換器を搭載することでアナログ入出力が可能となり、SoC (System on a Chip) の機能を構成することも可能である。

2.2 他の演算装置との比較

CPU は汎用的な処理を行うことを前提とした設計で、一種類の演算器の数は限られている。そのため、ある処理を実現するために同じ論理回路を何度も使用することがあ

る。さらに、レジスタへの書き込み・読み込みや割り込み要求の発生は処理速度を大きく低下させる。また、マイコンを使う組み込みシステムでは、多様な機能を実現するために多くの種類のマイコンが必要となる。特殊なマイコンは長期的に安定した供給が見込めるとは限らず、製品の安定供給を保証できない。CPU においては、コア数を増やすことで処理を並列化できるが、同時に不要な回路も並列化されるため、基板の大型化や冗長な処理が発生する。

一方で、FPGA は、前の処理の出力を次の処理の入力へ直接配線を繋ぐことでレジスタを必要とせず、高速な処理を行うことができる。さらに、回路の書き換えによりハードウェア部分を自由に変更できるため、一つの FPGA に複数のマイコンの機能を集約できる。また、必要な論理回路だけを任意の個数並べることで並列処理を実現できる。

FPGA は、処理の並列化とパイプライン化により大量のデータを高速に処理することができる。整数演算、ハッシュ処理、特徴検出などのパターンマッチ、暗号化・復号化、圧縮・展開処理など、CPU が苦手とするビットストリームに対するパイプライン処理に特化できる。

FPGA が登場する以前は、このような特定用途向けの処理装置として主に ASIC (Application Specific Integrated Circuit) が使われていた。FPGA、ASIC のそれぞれの特徴について Table 1 に示す。

Table1 FPGA と ASIC の特徴比較

	ASIC	FPGA
開発費	非常に大きい	小さい
開発期間	非常に長い	短い
開発リスク	大きい	小さい
チップ単価	安い	高い
消費電力	小さい	大きい
設計自由度	最も高い	制限される

ASIC は特定用途向けに設計・生産される。そのため、FPGA で同機能を実現するよりも処理能力が高く、消費電力も低い。しかし、設計から生産まで数十億円の莫大な費用がかかり、開発期間は数年に渡る。また、決められた用途のみにしか使えないため、演算対象のプロトコルや仕様などの変更に弱い。FPGA は、消費電力・処理速度・設計自由度の面で ASIC に劣る。しかし、生産終了の危険がないこと、回路設計の変更が可能であること、圧倒的に開発コストが低いことが利点である。製品の開発にあたり ASIC と FPGA のどちらを採用するかは、その製品の出荷台数に依り、現在でも ASIC で開発を行う分野もある。

3 FPGA の内部構造

3.1 構成部品

FPGA はボード状のデバイスである。Raspberry Pi のようなワンボードコンピュータと同様の構成に、FPGA チップを加えたものを一般的に FPGA と呼ぶ。以下、この章では FPGA チップ部分のみを指し FPGA という。

FPGA は、プログラム可能な論理セルと、ブロック同士を繋ぐ配線路、I/O 接続部、クロックネットワーク、ブロック RAM・乗算器から成る。中でも、プログラム可能な仕組みは論理セルとスイッチで成り立つ。その2つの配置を簡略化した図を Fig. 2 に示す。

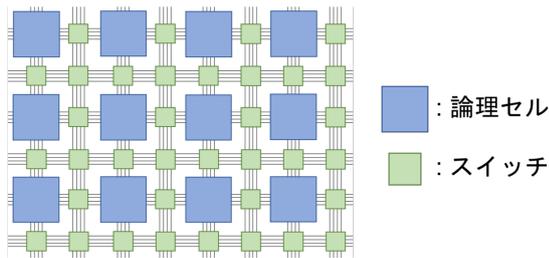


Fig.2 論理セルとスイッチの配置

各論理セルが格子状に並び、間にはブロック同士繋ぐための配線とスイッチが並んでいる。スイッチの接続先を切り替えることで配線を自由に変更できる。

FPGA は、回路の記憶方式の違いにより数種類に分けられるが、どの方式においても論理セルとスイッチの配置は変わらない。現在主流の方式は、回路の記憶に SRAM (Static RAM) を用いた SRAM 型 FPGA である。

3.2 SRAM 型 FPGA

論理セルは任意の基本論理回路の役割を持つことができる。SRAM 型 FPGA では、その機能の実現に LUT (Look-Up Table) を用いる。例として、2 入力 1 出力の論理セルの内部構成を Fig. 3 に示す。図中の CLK はクロックパルスを示し、FPGA 全体の論理セルの同期をとっている。

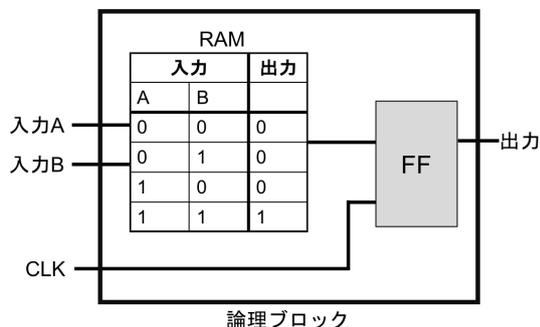


Fig.3 2 入力 1 出力の AND 回路の例

LUT は SRAM から成り、あらかじめ RAM に入力と出力の関係を表す真理値表を書き込んでおく。論理セルへの入力値の各 bit をそのまま RAM のアドレスと解釈するこ

とにより、そのアドレスに格納された対応する出力値を得ることができる。その結果を FF (Flip-Flop) に保持し、クロックパルスで同期されたタイミングに合わせて出力を変化させる。なお Fig. 3 では簡略化のため 2 入力としたが、実際にはデータ幅 1bit、深さ 16bit の RAM が用いられ、入力アドレスは 4bit であることが多い。これは、統計的に 4 入力 1 出力の LUT が適しているとされているためである²⁾。このような論理セルをいくつも経由することで、任意の演算結果が得られる。

4 導入事例

膨大な処理量が発生するクラウドベンダーでは、FPGA によるコストの削減効果が大きく、多くのベンダーが FPGA の導入を進めている。マイクロソフト社はクラウドプラットフォームである Azure に自社開発の FPGA を導入し、機械学習 API の高速化を行っている。FPGA の導入により、言語翻訳処理において CPU 比で約 10 倍の高速化を実現している。

また、空港において滑走路上の落下物を検知するためのシステムの開発にも FPGA が用いられている。広範囲における小さな物体の検知にミリ波レーダーを使っており、レーダー一台あたり毎秒 1.2GB ものデータが発生する。これら大量のデータからノイズを除去し、落下物だけを検出する必要がある。この場合、得られたデータを処理する手順は決まっているため、FPGA による処理の高速化の効果が大きい。また、開発段階で FPGA を用いることにより、信号処理アルゴリズムの追加・変更が容易になる。

5 今後の展望

FPGA の集積密度は CPU やメモリの集積密度に比べて低く、高集積化によるさらなる性能の向上が見込める。それにより ASIC に比べ非効率な面が改善され、GPU のような特定の処理を受け持つ物理演算ユニットとして活用分野が広がることが考えられる。

富士キメラ総研は、2015 年の FPGA の市場規模は 4300 億円とし、2020 年には 7550 億円に増加すると予想している³⁾。また、業務用途では ASIC の採用件数が減っているのに対し、FPGA を採用する件数が増えている。演算装置の能力向上がムーアの法則に従わなくなるポストムーア時代を支える重要技術の一つとして、今後も FPGA の市場は拡大していくと考えられる。

参考文献

- 1) Gartner says 6.4 Billion Connected "Things" Will Be in Use in 2016, Up 30 Percent From 2015—Gartner., <https://www.gartner.com/newsroom/id/3165317>, 参照 Apr.16, 2018
- 2) すすたわり, FPGA 入門, 秀和システム, 東京, 2012.
- 3) 2017 先端注目半導体関連市場の現状と将来展望—富士キメラ総研, <http://www.group.fuji-keizai.co.jp/press/pdf/170117-17002.pdf>, 参照 Apr.10, 2018