

低消費電力技術とリーク電流対策

松谷 和樹, 宮部 洋太
Kazuki MATSUTANI, Yota MIYABE

1 はじめに

高集積化と高性能化に伴い、IC の消費電力は増加の一途をたどっている。消費電力削減の対策をとらなかった場合の消費電力の推移の予測シミュレーションでは、デジタル家電向けのシステム LSI の消費電力は 2022 年には約 700 W に達する。同様に、携帯情報機器用の IC でも 2022 年には消費電力は現在の 4~5 倍になると予測されている¹⁾。

一方、高性能な IC が使用される携帯情報機器に対しては、従来より小型小容量の電源用電池を使用してもより長時間動作することが求められている。また、高性能のサーバ機等のマイクロプロセッサ応用機器では、大きな消費電力による発熱が問題となっている。このような状況の中で、IC の消費電力の削減が重大な課題となっており、新素材・新構造トランジスタの研究が盛んに行われている。

本稿では、IC に最もよく用いられるトランジスタである MOSFET と消費電力増大の原因となるリーク電流を解説した後、リーク電流対策を含めた低消費電力技術について述べる。

2 MOSFET

CPU, GPU, メモリなどに代表される IC には多数のトランジスタが組み込まれている。IC の論理回路を構成するトランジスタは電子的なスイッチの役割を果たしている。

MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor) は、ゲート、ソース、ドレインの 3 つの電極をもち、ゲート電極の電圧により、ソース-ドレイン端子間の電流を制御する FET(Field Effect Transistor: 電界効果トランジスタ) であり、IC において最も一般的に使用されているトランジスタ構造である。

2.1 構造

n 型 MOSFET は、ホウ素 (B) などの 3 価の原子をシリコン (Si) に注入した p 型シリコンサブストレート上に形成される。ゲート領域に酸化絶縁膜、その上にシリコンゲートを形成し、ドレイン、ソース領域にはリン (P) などの 5 価の原子をイオン注入し、n 型半導体にする。p 型シリコンサブストレートは正に帯電している正孔を持ち、n 型半導体は自由電子を持つ。p 型半導体と n 型半導体の接合部 (PN 接合) は、p 型半導体の正孔と n 型半導体の自由電子が互いに打ち消しあい、正孔と自由電子が少ない空乏層と呼ばれる領域となっている。

2.2 動作

ゲート部分に電圧がかかっていない場合は、ソース-ドレイン間に電流は流れないオフ状態となる (Fig. 1 左上)。ゲート部分に電圧をかけると、p 型シリコンサブストレート中の正孔がゲートのプラスの電荷に反発し、サブストレートの下方向へ押しやられるため、ゲート下部の p 型シリコンサブストレートは正孔が少ない空乏層となる (Fig. 1 右上)。さらにゲートに電圧をかけると逆極性の電子をひきつけ、ゲート直下の酸化膜に接した領域に極めて薄い n+ 層ができる (Fig. 1 左下)。この n+ の層を反転層と呼ぶ。また、反転層ができる時のゲート電圧をスレッショルド電圧 (閾値電圧) と呼ぶ。反転層ができると、ソースからドレインに電子が流れるオン状態となる (Fig. 1 右下)。このように、MOSFET はゲートの電位によってソース-ドレイン間の電子的なスイッチとして働く。

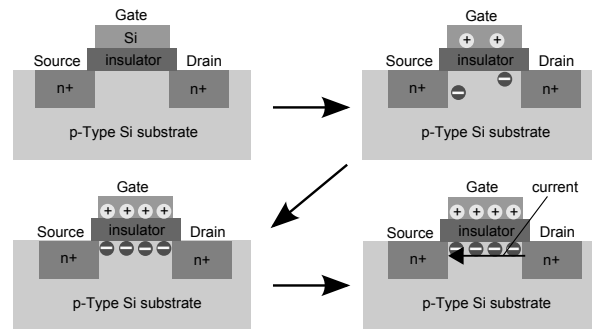


Fig.1 n 型 MOSFET の構造とその動作

3 消費電力の増大

IC 全体の消費電力は式 (1) で表すことができる。

$$W = NaCV^2f + NtIV \tag{1}$$

ただし、 W は消費電力、 Na は動作トランジスタ数、 Nt は全トランジスタ数、 C はトランジスタの電気容量、 V は電源電圧、 f は動作周波数、 I はトランジスタ当たりのリーク電流をそれぞれ示す。

式 (1) の左項はトランジスタが動作するときに消費される電力、右項はリーク電流によって消費される電力を表している。IC を微細化することで、電源電圧を下げることで省電力化と高性能化は両立されてきた。しかし、微細化が進むにつれて、半導体の動作に無関係なリーク電流が増大し、リーク電流による消費電力が無視できなくなってきた。ハーフピク

チ*1が45 nm以下のICでは、消費電力の60%がリーク電流として消費されることもある²⁾。そのため、消費電力の低減には、リーク電流対策が不可欠である。

4 リーク電流

4.1 概要

リーク電流とは回路上で絶縁されていて本来電流が流れない場所や経路で電流が漏れることで生じる電流のことである。リーク電力の大きさは微細化することで指数関数的に増大していく。

4.2 リーク電流の種類

トランジスタで発生するリーク電流はサブスレッショルドリーク電流、ゲートリーク電流、ジャンクションリーク電流の3つに分類できる (Fig. 2)。

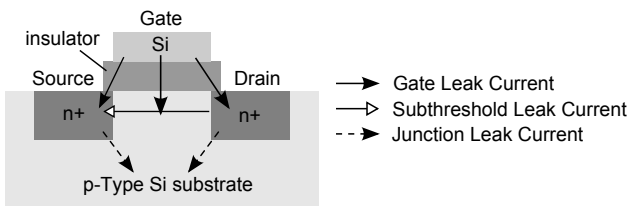


Fig.2 リーク電流の種類

4.2.1 サブスレッショルドリーク電流

サブスレッショルドリーク電流は、ゲート電圧がスレッショルド電圧以下であるときにドレインからソースへ流れるリーク電流である。サブスレッショルドリーク電流 I は式 (2) で表わされる。

$$I = W \exp\left(\frac{-V_{th}}{S}\right) \quad (2)$$

ただし、 W はゲート幅、 V_{th} はスレッショルド電圧、 S はサブスレッショルド係数を示す。サブスレッショルド係数とは、ソース-ドレイン間の電流量が1桁増えるのに必要なゲート電圧である。

式 (2) は、サブスレッショルドリーク電流がスレッショルド電圧の低下により指数関数的に増大することを示している。スレッショルド電圧は、ICを高速動作させるために下げる必要があるため、ICの動作速度とサブスレッショルドリーク電流はトレードオフの関係にある。

4.2.2 ゲートリーク電流

ゲートリーク電流とは、ゲート-サブストレート、ゲート-ソース、ゲート-ドレイン間に流れるリーク電流である。ゲート絶縁膜があるため、本来ゲートリーク電流は流れない。しかし、半導体素子の微細化によりゲート絶縁膜の厚さが2 nm(原子5~6個分の厚さ)以下になると、量子トンネル効果*2によりゲートからサブストレートへリーク電流が流れる。

4.2.3 ジャンクションリーク電流

微細化によりn型半導体領域が小さくなるが、同時にソース-サブストレート間、ドレイン-サブストレート間の空乏層も小さくなるので、電子が空乏層を通り抜けることで発生するリーク電流。

5 消費電力の削減

消費電力の削減手法は、大きく分けて、プロセス改良によるもの、回路設計によるものに分類できる。現在は、これらの低消費電力技術を組み合わせることで、ICの消費電力の低減を行っている。また、消費電力を劇的に削減できる単電子トランジスタの研究もされている。

5.1 プロセス改良による消費電力の削減

トランジスタに用いる素材、構造の変更など、トランジスタの製造プロセスを改良することで消費電力の低減を目指す。

5.1.1 SOI(Silicon on Insulator)

サブストレートと表面シリコン層の間に絶縁素材を挿入することで、配線とサブストレート間の静電容量を減らすことができる。SOI基盤の構造をFig. 3に示す。静電容量が低下するとRC遅延*3が改善されるため、動作速度が向上する。また、ドレイン-サブストレート間、ソース-サブストレート間の接合面積が減るので、ジャンクションリーク電流が低減できる。通常のシリコンサブストレートを使う場合と比べて、動作速度は20%~30%の向上、消費電力は50%以上の低減が期待できる⁴⁾。

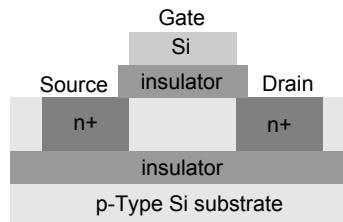


Fig.3 SOI基盤

5.1.2 high-k(高誘電率) 絶縁膜/メタルゲート

ゲート絶縁膜にはSiO₂が用いられていたが、より誘電率が高いハフニウム(Hf)系素材をゲート絶縁膜に導入することで、絶縁膜を厚くしても、SiO₂の薄い絶縁膜と同等の電気容量を確保できる。これは、静電容量が誘電率に比例し、絶縁膜厚に反比例するためである。これにより、絶縁膜が厚くできるので量子トンネル効果によるゲートリーク電流を低減することができる。high-k絶縁膜は従来のシリコンゲートとはうまく動作しないため、high-k絶縁膜を用いる場合はゲートにはメタルゲートを用いる。

Intelのhigh-k絶縁膜を用いないハーフピッチ65nmCPUと比較して、high-k絶縁膜を用いたハーフピッチ

*1 ピッチ(配線幅+配線間隔)の1/2。ITRS(国際半導体技術ロードマップ)が2005年に採用した、ICの集積度を表す単位

*2 微細な粒子が、本来乗り越えることができない領域を乗り越える現象

*3 抵抗R、静電容量Cを持つ導体は、RとCの積に比例して、電子の移動が遅延する

チ 45 nmCPU はゲートリーク電流を 10 分の 1 に低減している⁵⁾。

5.1.3 low-k(低誘電率) 絶縁体

配線を誘電率の低い絶縁体で覆うことで、配線間の静電容量を低減する。電流の遅延を抑制できるため、電力効率を上げることができる。

5.1.4 フィン型 FET

フィン型 FET は、ソース-ドレイン間のリーク電流などを防ぐことを目的とした、3 次元構造の FET の一種である。フィン型 FET では、ソースとドレインの間を薄いひれ (フィン) 状に加工したシリコン層で結び、フィンを絶縁膜とゲートによって“コ”の字型に覆う (Fig. 4)。このシリコン層の形状にちなんでフィン型 FET と呼ぶ。

従来の MOSFET ではゲートから離れるにつれて、ゲート電圧でチャネルを制御するのは難しくなる。一方、フィン型 FET では、電流が流れるチャネルが 3 方向からゲートに囲まれているので、チャネル部分の電位をゲート電圧でより制御しやすく、ゲート長が短くてもサブスレッショルドリーク電流を抑えやすい。

2011 年に量産が始まるハーフピッチ 22 nm、あるいは、2013 年以降に量産が始まるハーフピッチ 16 nm の IC から従来の MOSFET に代わり導入される見込みである。

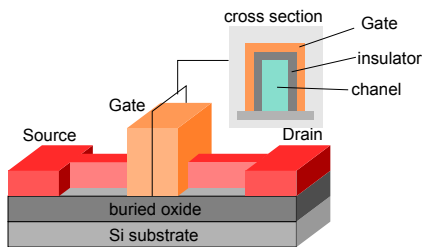


Fig.4 フィン型 FET の構造 (参考文献⁶⁾ より参照)

5.2 回路設計による消費電力の削減

回路全体の構造を変更することで、電力削減の低減を目指す。

5.2.1 不揮発性レジスタ

一般に、CPU などの IC は、処理に関する経緯や結果に関する情報を一時的に保持する、レジスタと呼ばれる回路を持っている。レジスタは、電源電圧を利用して記憶を保持しているが、電源が供給されなくなると内容が消失する。この性質を揮発性という。そのため、記憶を保持するために電源を供給し続ける必要がある。レジスタに不揮発性メモリを用いると、電源を遮断しても演算状況を保持することができるので、待機時の消費電力をなくすることができる。

現在、書き換え回数に制限がなく、高速にデータの読み書きができる不揮発性メモリ MRAM(Magnetic Random Access Memory) が代換素子として注目されている。MRAM とは、記憶素子に導電性を持つ強磁性体と

絶縁体の積層膜を使った不揮発性メモリである。この記憶素子を TMR(Tunneling Magneto Resistance) 素子と呼ぶ (Fig. 5)。TMR 素子に電子スピンの向きに偏りがある電流を流すことで、磁性体の磁界の向きを変えることができる。上部磁性体と下部磁性体の磁界の向きが平行であれば、素子の抵抗が小さくなり、反並行であれば抵抗が大きくなる。これを利用して、磁性体の磁化方向に '0' と '1' の情報を持たせる。

また、レジスタ・メインメモリに不揮発性メモリを使用することで、電源を切っても、電源を切る直前の状態から作業を再開できるようになるメリットもある。

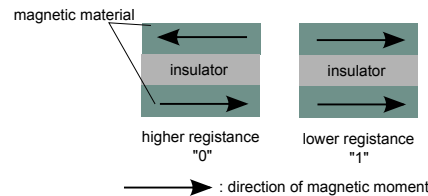


Fig.5 TMR 素子の構造

5.2.2 マルチスレッショルド電圧設計

1 つのダイ上で高速に動作させたい回路のスレッショルド電圧は低く設定し、動作が低速でもよい回路はスレッショルド電圧を高く設定する。これにより低速回路でのサブスレッショルドリーク電流を抑えることができる。

Panasonic が開発したデジタル家電向けプロセッサ UniPhier では、マルチスレッショルド電圧設計を用い、従来の UniPhier に比べて消費電力を 20% 低減した⁷⁾。

5.2.3 マルチ電源電圧設計

高速に動作する回路は高い電源電圧が必要であるが、低速で動作する回路は低い電源電圧で動作することができる。マルチ電源電圧設計は、複数の電源電圧を設け、高速に動作する回路に対しては、高い電源電圧を供給し、低速に動作する回路に対しては、低い電源電圧を供給することで、低い消費電力で動作する回路ブロックでの消費電力を削減する (Fig. 6)。また、動作電圧の異なる回路ブロック間の信号はレベルシフタによって電圧が調整される。

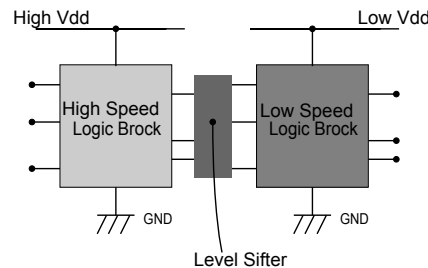


Fig.6 マルチ電源電圧設計 (参考文献⁸⁾ より参照)

5.2.4 パワーゲーティング

従来の IC では、回路全体に一律の電源電圧をかけていたため、実際には動作していない回路でも電力が消費さ

れていた。パワーゲーティングを用いた IC では、動作していない回路ブロックに対する電力の供給を止めることで、待機時に流れるリーク電流を低減する。Fig. 7 に示すように、ブロックに通じる電源をスイッチ内部のトランジスタで回路ブロックのオン/オフを切り替える構造になっている。

Intel の CPU, Atom は、CPU の回路を 19 のブロックに分割し、各ブロック個別に電源のオン/オフができるパワーゲーティング設計が用いられている。

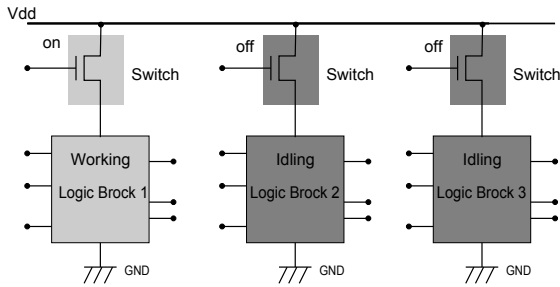


Fig.7 パワーゲーティング (参考文献²⁾ より参照

5.3 単電子トランジスタ

単電子トランジスタは、電子 1 個で動作の制御ができるトランジスタであり、現在の IC に使われているトランジスタの数万分の 1 程度の電力で動く。量子トンネル効果により、チャンネルの中間にある微細なクーロン島を経由し、電子がソース-ドレイン間を移動する仕組みとなっており、ゲートに電圧をかけることで電流を制御する。単電子トランジスタの構造を Fig. 8 に示す。

単電子トランジスタは、1993 年以降、常温での動作が報告されているが、単電子トランジスタの製造には現在の加工技術より高度な製造技術が必要である。今後のトランジスタの加工技術の進展が単電子トランジスタの実用化の鍵になっている。

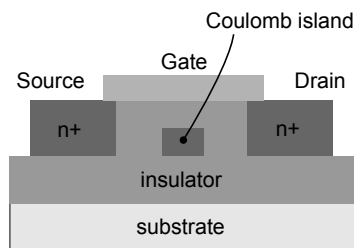


Fig.8 単電子トランジスタの構造

5.3.1 動作

ゲートは、連続的な数 (例えば 1.5 個などの数) の正孔を持つが、クーロン島は直径数 nm 程度と極めて小さいため、内部に整数個の電子しか持つことができない (1.5 個などの状態になれない)。ゲート、クーロン島共に同数の電子を持つ場合は、状態が安定しているので電子は流れない。ゲートが整数個でない正孔を持つ場合を考える。例えば、ゲートがクーロン島より 0.5 個多い正孔を持つと

き、平衡状態を保つためクーロン島は電子 1 個をソース電極から補う。そうすると、クーロン島はゲートより電子が 0.5 個多い状態となるため、クーロン島からドレインへと電子が流れる。この状態でも、正孔の数と電子の数が釣り合わないため、再び、ソースから電子を補う。この電子の流れが電流として検出される。このように、ゲートの正孔数が整数個でないとき、電子 1 個単位で電流が流れ、整数個の時は電流が流れない構造となっている。

6 まとめと今後の展望

近年、微細化によるリーク電流の増大により、IC の消費電力も増大してきた。対策として、プロセス改良や回路設計による様々な低消費電力技術が研究されている。現行の IC では、こういった技術を組み合わせることにより消費電力の低減を行っている。ITRS や半導体製造メーカ各社のロードマップでは、今後も半導体の微細化はさらに進む予定である。リーク電流による電力消費は増加するため、今後も更なるリーク電流低減技術が必要とされるだろう。また、リーク電流だけでなく、動作時の消費電力を劇的に削減できる単電子デバイスの開発はさらに活発になると考えられる。

参考文献

- 1) 社団法人電子情報処理技術産業協会 IC ガイドブック編集委員会. IC ガイドブック 09-10 年版 よく分かる半導体. 日経 BP 出版センター, 2009
- 2) EDN Japan 低消費電力 LSI の設計技術
<http://ednjapan.rbi-j.com/issue/2007/09/6/5211>
- 3) 日経エレクトロニクス リーク電流
<http://techon.nikkeibp.co.jp/article/WORD/20060303/114053/>
- 4) 日経エレクトロニクス SOI 基板
<http://techon.nikkeibp.co.jp/article/WORD/20060306/114136/>
- 5) White Paper: Introducing the 45nm next-generation Intel Core microarchitecture
http://www.intel.com/technology/architecture-silicon/intel64/45nm-core2_whitepaper.pdf
- 6) 日経エレクトロニクス フィン型 FET
<http://techon.nikkeibp.co.jp/article/WORD/20060313/114713/>
- 7) 日経エレクトロニクス 「UniPhier」の 3D 映像対応技術, マルチしきい値電圧技術で低電力化
<http://techon.nikkeibp.co.jp/article/NEWS/20100209/180092/>
- 8) 低消費電力 LSI 設計 技術電子デバイス・半導体:富士通
<http://jp.fujitsu.com/microelectronics/technical/lowpower/>
- 9) 【レポート】単電子デバイス実現への取り組み - NTT サイエンスプラザ 2003 より
<http://journal.mycom.co.jp/news/2003/08/27/08.html>