

Intel CPU の行方

谷口真一, 天白進也

Shinichi Taniguchi, Shinya Tenpaku

1 はじめに

2004 年、これまで単純なクロック周波数の向上による CPU の高速化を行ってきた Intel がついに戦略を高クロック指向から機能指向へと変更した。その要因としては、クロック周波数の向上や半導体製造プロセスの微細化だけでは CPU の性能が上がらなくなってきたことなどが挙げられる。このまま半導体の製造プロセスによるクロック周波数の向上を続けていけば、トランジスタのオフ時に流れるリーク電流が増加し、消費電力、発生する熱量が共に増えてしまうからである。

そこで、今までの高クロック化に代わる戦略として、1 つの CPU に複数のプロセッサコアを搭載したマルチコア CPU、そして、機能追加による総合パフォーマンス・アップによる CPU 全体の利用効率の向上という戦略が発表された。今現在、Intel やその他の CPU メーカーは CPU のマルチコア化を進めている。本稿では、Intel のマルチコア CPU の特徴に注目し、マルチコア CPU の周辺技術をふまえながら今後の方向性を予測する。

2 マルチコア化

Intel CPU の今後のロードマップを Fig. 1 に示した。ロードマップに示されているように、CPU はシングルコアからデュアルコア、マルチコア、そして、メニーコアへと向かっている。

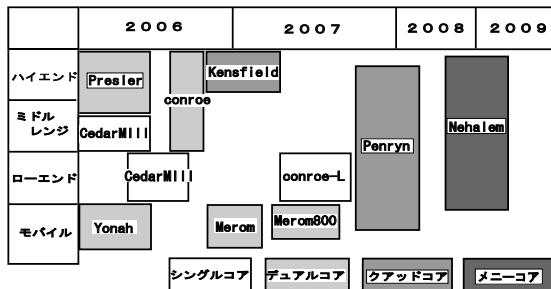


Fig.1 Intel CPU のロードマップ（出典：1）より参照）

2.1 マルチコア

マルチコアとは、1 つのコアに複数のコアが組み込まれた CPU のことである。メリットとして挙げられるることは、複数の CPU として認識させることができるので、複数のタスクを実行させる環境下においてはプロセッサ全体の処理効率の向上が期待できる。また、トランジスタを 2 倍に増やしても性能は約 1.4 倍にしかならないが、消費電力はトランジスタ数に比例して約 2 倍となる性質を利用し、トランジスタ数を増やすことなくプロセッサ

の数を増やせば、消費電力はそのままで処理能力は向上させることができる点などである。

デメリットとしては、複数のコアを実装することによってダイサイズが大きくなる点、そして、複数のコアを単にバスで繋いだだけでは最大限の性能を引き出しにくいという点などである。

今現在、マルチコア CPU として、デュアルコア、クアッドコアがあり、Intel は現在同種の演算処理を行う複数の大小のコアを実装し、並列処理可能な命令は小さなコアを用い、並列処理の出来ないものは大きなコアを用いるマルチコア「ヘテロジニアスマルチコア」の研究を行っている。

2.2 Core マイクロアーキテクチャ

Core マイクロアーキテクチャ¹⁾ とは、2006 年春に行われた Intel Developer Forum²⁾ で公表されたチップアーキテクチャである。Fig. 2 にアーキテクチャの相違を示した。今までの Pentium4 シリーズの Prescott アーキテクチャと Core マイクロアーキテクチャとの変更点としては以下の点が挙げられる。

- パイプラインのステージの減少
- キャッシュメモリの共有

パイプラインに関しては、Core マイクロアーキテクチャでは、31 ステージあったパイプラインが 14 ステージと少なくなっている。この変更により、クロック周波数は減るもの、分岐予測の外れる確率は減るため結果的には処理能力は向上する。キャッシュメモリに関しては、Fig. 2 で示されているように、Core マイクロアーキテクチャは、L2 キャッシュを共有しているため、片方のコアが L2 キャッシュのデータを更新すれば、もう片方のキャッシュのデータを更新する必要がなくなるため、高速な処理が可能になる。このアーキテクチャによって消費電力の削減、処理能力の向上が実現可能になる。

2.3 Penryn

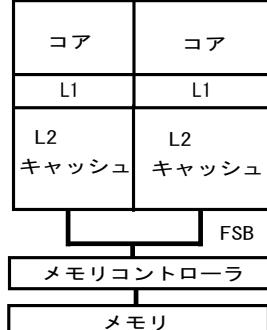
Penryn とは、Intel が 2007 年度下半期に生産開始予定である Core マイクロアーキテクチャを刷新したクアッドコア CPU である。アーキテクチャとしては、現在主流の Core マイクロアーキテクチャであるが変更点として以下の点が挙げられる。

- 65nm から 45nm へのプロセスサイズの縮小
- クロック向上
- キャッシュ増量

Coreマイクロアーキテクチャ



Prescottアーキテクチャ



大 16 スレッドの処理が可能となる。

Nehalemのアーキテクチャ



Fig.2 アーキテクチャの相違（出典：1）より参照）

プロセスサイズ縮小とは、つまり CPU コアの小型化である。コアサイズを縮小すると、クロック周波数の向上を期待することが出来、また、CPU ダイの面積が減るため、製造コストも削減することが出来る。さらに、コアサイズを縮小することにより、回路が短くなるため消費電流も低減する。また、コアの縮小により空間が出来る為、キャッシュの増量や機能の付加も可能になる。

2.4 Nehalem

Nehalem とは、Intel が 2008 年度に生産開始予定であると公表しているマルチコア CPU である。コアの数は最大 8 コアまで搭載出来る。アーキテクチャとしては、現在主流となっている Core マイクロアーキテクチャとは代わり、用途に合わせて構成を変更可能なコンフィギュラブルアーキテクチャを用いる予定である。Fig. 3 に Nehalem のアーキテクチャを示した。Nehalem のアーキテクチャの Core マイクロアーキテクチャとの相違点として以下の点が挙げられる。

- FSB(Front Side Bus) から CSI(Common System Interface) への変更
- メモリコントローラを統合
- 共有 L3 キャッシュを搭載
- ハイパースレッディング・テクノロジーの採用

パラレルバスは、複数の信号線を備えており、データのズレなどの問題がある。また、シリアルバスは信号線が 1 つしか存在しない為、データのズレなどの問題に影響されない為、パラレルバスに比べると高速でデータを転送することが出来る。よって、パラレルバスの FSB の代わりにシリアルバスの CSI を用いることでチップ間の転送速度が劇的に速くなる。また、メモリコントローラを統合することで、バスを短縮し、メモリアクセス性能の向上を図ることが出来る。さらに、メモリコントローラは可変であるため、市場セグメントごとに異なるメモリを使用することが出来る。また、共有 L3 キャッシュを搭載することで、共有するキャッシュを増やすことが出来るため、より多くのコアからのデータを処理できる。そして、ハイパースレッディング・テクノロジーの採用により、1 コアで 2 スレッドの処理が可能となるため、最

3 Intel の CPU 関連技術

CPU とは、その時代の最新の技術で構成されているものであり、その技術なしでは CPU は作ることが出来ない。今後の CPU を支える技術の例として以下のようないわゆる「技術」がある。なおこの技術の中には、CPU のアーキテクチャ、製造技術、CPU の周辺機器との連携技術などがある。

3.1 45nm プロセスサイズ

現在の製造プロセスの主流は、90 と 65nm プロセスサイズである。Intel は 2007 年中に 45nm プロセスサイズによる CPU 製造を開始する予定である。45nm プロセスサイズを導入すると共に High-k ゲート絶縁膜とトライゲートトランジスタの技術も投入され、それにより、性能は最大 20 % 向上する。

3.2 High-k ゲート絶縁膜

High-k ゲート絶縁膜とは、大量の電流を流せる高誘電率な素材を用いた絶縁膜のことである。そのため、従来のゲート絶縁膜を薄膜化した場合と同様の効果を保ちながら、ゲート絶縁膜の膜厚を厚くできる。それまで製造プロセスの微細化により、膜の厚さが原子数個分まで薄くなってしまっており、絶縁膜を透過して流れ出てしまうリーク電流が増えていたが、High-k ゲート絶縁膜を使用すれば絶縁膜を数倍厚くできるため、リーク電流を従来の約 100 分の 1 まで減少させることができる。

3.3 トライゲートトランジスタ

トライゲートトランジスタとは、上部の水平面と両側に垂直壁面をゲートとして備えた立体構造のトランジスタのことである。この構造により電気信号が通る領域を 3 倍に拡大することができ、通過する電力を 20 % 増やすことができる。また、1 つあたりのゲートを通過する電流が減ることによりリーク電流を減少させることができる。このため従来のトランジスタに比べると電力効率が良くなり、消費電力の減少が可能になる。

3.4 ハイパースレッディング・テクノロジー

ハイパースレッディング・テクノロジー³⁾ とは、Pentium 4 プロセッサにおける同時マルチスレッディングの

実装に対する Intel の商標である。ハイパースレッディングはある一定量の作業を行っている状況において、パイプライン回路の空き時間を有効利用して異なるタスクを同時に実行することにより、プロセッサのパフォーマンスを改善するという技術のことである。

特徴としては、ハイパースレッディングを実装しただけで 15~30 % のパフォーマンスの向上が可能となる点がメリットとして挙げられる。しかし、どんなにうまく資源配分を行っても、どちらかのスレッドが待ち状態となることは避けられないため、2 スレッドを同時実行したとしても 2 倍のシステム性能が得られる事はない。つまり、スレッド当たりの性能はスレッディングを使用しない場合と比較すると必ず低下するといえる。また、ハイパースレッディング技術を使用することにより、論理プロセッサが仮想的に 2 つあるように振舞えるが、そのため共有されたキャッシュでは要求に対応できなくなり、性能が低下してしまう可能性があるという点、そして、2 つのプロセスが同じキャッシュにアクセスするという特性を利用して攻撃を仕掛けられるなどというセキュリティの脆弱性がデメリットとして挙げられる。

4 今後の展望

今後の Intel の CPU は、CPU に搭載されるプロセッサコア数は急速に増加していくと考えられる。今 Intel が投入している CPU は同種・同設計のプロセッサを数個、ただ単純にバスで繋いだものであるが、シリアルバスを採用したことやキャッシュメモリを増量したことからわかるように、将来的には、本稿の 2 章で述べた、同種の演算処理を行う複数の大小コアを実装した「ヘテロジニアスマルチコア」を投入してくることは明らかである。そして、Nehalem の次期 CPU である Gesher では、プロセスサイズをさらに縮小し、32nm プロセスサイズにすると発表しており、さらにキャッシュの容量を増やすことが期待できる。その為、必要なデータの多くをプリフェッチ出来、性能面はさらに向上するといえる。

また、Intel は Nehalem において、今まで内蔵していないかったメモリコントローラを内蔵することに決定した。この背景には、今までメモリコントローラを内蔵させるとメモリが一意に決定してしまい、市場セグメントに対応することができないと考えられており、採用されていなかったが、CPU とメモリを接続するインターフェクトにリンク数を増減できる標準化された CSI が考え出され、メモリの融通を利かせることが出来るようになったことが挙げられる。このことから、これから Intel CPU は市場セグメントに合わせたあらゆるコンピュータに対応するチップになると考えられる。

参考文献

- 1) Core マイクロアーキテクチャ
<http://www.atmarkit.co.jp/news/200607/28/intel.html>
- 2) Intel Developer Forum
<http://www.intel.co.jp/jp/idf/spring2006/keynotes/index.html>

3) ハイパースレッディング・テクノロジー

<http://journal.mycom.co.jp/news/2007/03/29/401.html>