

CPU の基礎

島田 将成, 平尾 洋樹
Masanari SHIMADA, Hiroki HIRAO

1 はじめに

本報告では, CPU がコンピュータ中で果たす役割について調査した. 基本構造, 動作原理からその進化, 近年の動向を説明する.

2 CPU の概要

CPU とは Central Processing Unit の略称で, 中央処理装置という意味である. CPU は半導体を用いられたトランジスタの集まりで構成されている. 1つ1つのトランジスタはスイッチの役割しか持たない単純な素子だが, これを複数組み合わせることで様々な処理を行うことが可能である. また, 組み合わせる数が多くなるほど CPU の処理性能や機能を高めることが可能になる. 現在のような 1 チップ化された小型 CPU はマイクロプロセッサ (Micro Processing Unit : MPU) とも呼ばれる¹⁾.

2.1 CPU の役割

CPU は, 以下の Fig.1 の手順で動作を行う.

1. 様々な計算手順を記述したプログラムを, 記憶装置から順次読み出す.
2. そのプログラムに従い, 記憶装置からデータを読み出して演算を実行する.
3. 結果を記憶装置に書き戻す.

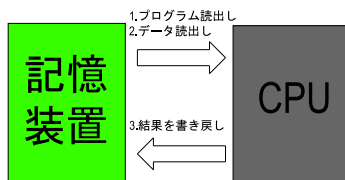


Fig.1 CPU の役割 (出典 : 自作)

CPU はデータの通路であるバスを介してチップセットと接続されている. チップセットとはコンピュータ内部で, CPU や RAM, 拡張カードなどの間のデータの受け渡しを管理する一連の回路群のことである. それに内蔵されたコントローラが他の部品を制御することで, CPU とのデータ送受信を実現している. Fig.2 に示すように, チップセットはノースブリッジとサウスブリッジで構成される.

- ノースブリッジ
高速なデータ送受信が求められるメモリやビデオカードなどとの接続を担当する.
- サウスブリッジ
低速なデータ送受信となるディスク類やキーボードなどとの接続を担当する.

CPU はコントローラに対して情報を入出力している. つまり, デバイスとのデータのやりとりはコントローラが行い, CPU がプログラムの実行とコンピュータ全体の統括を担当している.

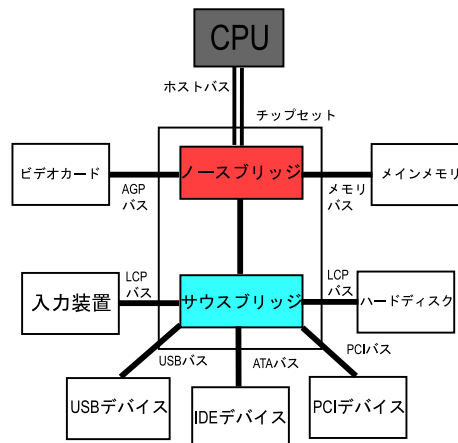


Fig.2 チップセットの構成⁽¹⁾より参照)

2.2 CPU の構成

Fig.3 に示すように, CPU は大きく分けて, レジスタ, 制御部, 演算部 (Arithmetic Logic Unit : ALU) で構成されている¹⁾. レジスタは CPU を動作させ, 1 個当たり 1 ビットのデータを貯める記憶装置である. レジスタには以下のようなものがある.

- プログラムカウンタ
CPU が今現在見ているプログラム上の位置を示しているレジスタ.
- アキュムレータ
ALU が演算の対象とするレジスタ.
- フラグレジスタ
演算や比較実行後の情報が保存されるレジスタ.
- 命令レジスタ
主記憶装置から読み取った命令を保存するレジスタ.
- 汎用レジスタ
一時的な保存場所とするレジスタ.
- スタックポインタ
メモリ上の一時的なデータ保存アドレスを示すレジスタ.

また, レジスタのビット数が 32 の CPU を 32 ビット CPU といい, 32 ビットのデータを記憶できる.

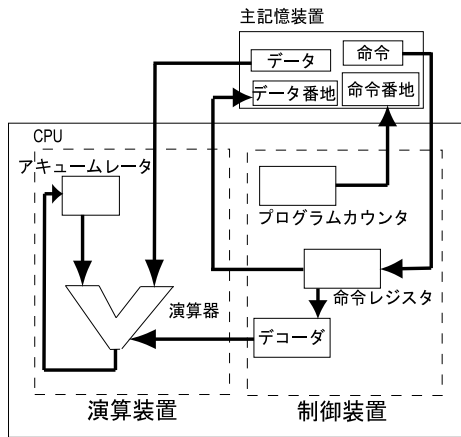


Fig.3 CPUの構造と動作 (2) より参照)

2.3 CPUの動作原理

CPUには必ずクロック信号を入力する端子があり、この一定周期の信号に同期して動作する。また、CPUは多くの組み合わせ回路で構成されており、必要な情報を一斉に入力しないと回路が正しく動作しないため、クロック信号が不可欠となっている。同じCPUであればクロック周波数が高いほうが一定時間に多くの処理を行え、高速に動作する。

CPUの処理サイクルは、フェッチ（命令の読み取り）、デコード（解釈）、エグゼキュート（実行）、ライトバック（結果の反映）の4ステップの繰り返しであり、複雑化しても基本は変わらない。このような逐次動作はStored Program方式（プログラム内蔵方式）と呼ばれ、この方式を用いたコンピュータのことをノイマン型コンピュータという。

2.4 処理の高速化技術

前節で示した4ステップの処理サイクルは1つの命令を処理するものであるが、基本的に前命令サイクルの完全終了をもって、次の命令を処理し始める。これを逐次処理という。各ステップには1クロックが必要であるが、この4ステップの作業は別々の部分が担当しているため、どの部分も4クロックに1回しか作業せず非効率である。これを解決するために採用されたのがパイプライン処理といわれる高速化手法である。

Fig.4に示すようにパイプライン処理とは、クロック毎に各部分が独立して動作できるようにした上で次々に命令を投入、並列実行する方式である。これを使用すると連続的な命令実行が可能になり、単位時間あたりの処理量が向上する。どの部分も1クロックごとに作業を行うので4倍の作業が可能になる。また、最近のCPUはスーパースカラという複数のパイプライン処理を並行実行できる方式を採用している。

しかし、パイプライン処理がうまく動作しないこともある。この問題をパイプラインハザードという。パイプラインハザードは以下の3種類に分類できる。

- 構造ハザード
命令フェッチとメモリー読み出しという、異なる命令による同一ハードウェア資源の利用で衝突が起こる。
- データハザード
先行命令の演算結果を使用。結果が書き込まれるまで作業が進まなくなる。
- 制御ハザード
別の作業に切り替わる分岐が発生。途中まで行っていた作業が無駄になり効率が落ちてしまう。

構造ハザードは命令メモリーとデータメモリーを分けるというハードウェア的な改良で解決できる。

データハザードは、プログラムをコンパイルする際などに、プログラムの内容に影響のない範囲でCPUに送る命令の順序を調整してことで回避できる。また、データを書き込むと同時にパイプラインに投入することによってデータ・ハザードを軽減する方法もある。

制御ハザードを避けるために、分岐予測という技術が使われている。これは、作業の切り替えをCPUまたはソフトが予測して、パイプライン処理の無駄を避けようという技術である。実際には、よくある分岐のパターンを記録し、同じ状況がくると自動的に判断されるようになっている。

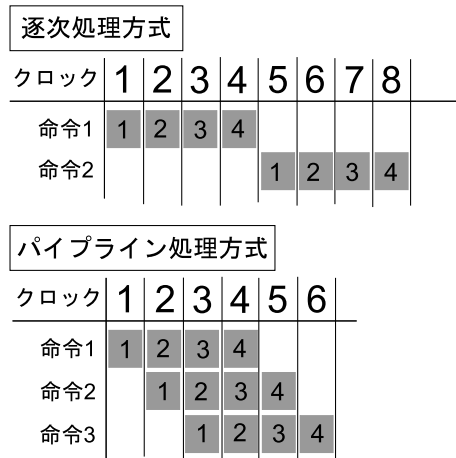


Fig.4 逐次処理とパイプライン処理 (3) より参照)

3 CPUの進化

3.1 ムーアの法則

Intel社の創業者の1人であるゴードン・ムーア氏が1965年に提唱した「半導体の集積密度は18~24ヶ月で倍増する」という法則で、CPUにおいて「18ヶ月で性能が倍になる」と置き換えられた。事実Fig.5に示すように、ほぼこの法則に従って、トランジスタ数やクロック周波数が大きくなり、処理能力が向上してきた。

3.2 法則の限界

しかし、近年になってトランジスタ数の増加やクロック周波数の増大はこの法則に沿わなくなってきた。半導体の微細加工技術の進化だけではCPUのクロックを劇的に向上させることが困難になってきたからである。2010

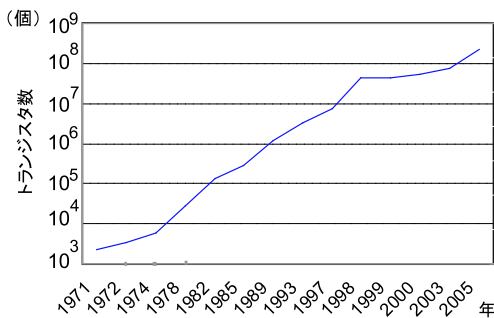


Fig.5 ムーアの法則 (出典：自作)

年代にはトランジスタが原子レベルにまで小さくなり、電子の流れが制御不可能になるといわれている¹⁾。また、トランジスタ内部で漏れ出している動作とは無関係なリーク電流による消費電力の増大や発熱の問題にも直面している。

現在のLSI回路でクロックを上げるためには、回路はそれに比例するだけの消費電力を必要とする。その電力の一部分は回路の中で熱に変わり、それが過熱状態になることによって回路自体が破壊されてしまう⁴⁾。よって、クロックを向上させることが非常に困難であるため、処理能力向上のペースに陰りが見え始めている。そこで、この問題を緩和させるマルチコア化という技術が現在注目されている。

3.3 マルチコア化の概要

マルチコア化とは、1つのCPUパッケージに実行コア(演算回路)を複数詰め込むことで、1つのシステムに複数のCPUを搭載するマルチプロセッサを容易に実現させる技術である。ここでアーキテクチャステートとは、1つのCPUに見せるための回路である⁵⁾。

1つのコア(シングルコア)のプロセッサを単純に高速化しようとする消費電力が増大し、発熱量が大きくなる。しかし、マルチコアでは複数のコアに負荷を分散し、シングルコアに比べてクロック周波数を抑えることで消費電力の増加による過熱を抑えることができ、これによりトータル処理能力を高めることができる。また、処理速度をあまり求められないときにはCPUをコア単位で休ませることも可能なので、この点においても消費電力と発熱の問題に対して有効である。

複数のコアで分担して処理されることから、複数のタスクを同時に実行するマルチタスク性能が大幅に向上する。従来のシングルコアでは、外部から同時に複数のデータが送られてきた場合、一つのデータ処理が終わるまで、後から入ってきたデータを待機させる必要があった。しかし、Fig.6に示すようにマルチコアは複数の独立した処理機構を持っているので、複数のデータを同時に処理することが可能である。これら技術を採用したのがデュアルコアプロセッサである。デュアルコアはマルチコアの一種であり、コアが2つ搭載され、OSからは2つのCPU

として扱われる。

現在、ゲーム等の高い処理能力を要する分野では、複数のコアを使うのは当たり前となっており⁶⁾、シングルコアのプロセッサで世界トップクラスの高速コンピュータを作るのは不可能に近いと考えられる。

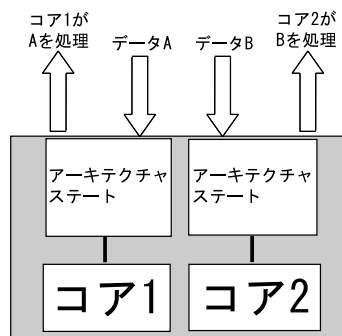


Fig.6 マルチコアの仕組み⁶⁾より参照

3.4 今後の展望

今後はコア数の増加が続くと予想される。最近では、4つのコア(クアッドコア)を搭載した物も登場している。Intelは2007年下半期に製造開始予定の45nmプロセス(線幅)によるプロセッサを開発中で、ダイサイズ(半導体チップの面積)が従来の65nmプロセッサに比べて25%小さくなるという⁷⁾。これにより集積度が高くなり、機能や性能がより高度になること、チップの製造原価が低下することを期待できる。このように製造技術面でブレイクスルーがあれば、ムーアの法則が有効になる可能性があるだろう。

しかし、これらマルチコアのCPUも、性能の向上に伴う消費電力の増大がチップで許容できる上限に達した時点で、コアをそれ以上追加できなくなるため、いずれまた壁にぶつかることが予想される。その場合は、マルチコア化に代わる新たな技術の発明が必要になるだろう。

参考文献

- 1) 坪山博貴. CPUの謎. ソーテック社. 2005
- 2) 宇部工業高等専門学校. 情報システム論 講義資料
CPUの動作原理, 主記憶装置
<http://www.ube-k.ac.jp/muto/Lec/InfoSystem/2003/lec5.pdf>
- 3) CQ出版. パイプライン処理の概念と実際
<http://www.cqpub.co.jp/hanbai/books/33/33311/33311.pdf>
- 4) PC View, マイクロプロセッサの新トレンド 第1回:
高性能化への飽くなき戦い
<http://www.pc-view.net/article/181/1.html>
- 5) インテルミュージアム
<http://www.intel.co.jp/jp/intel/museum/index.htm>
- 6) CPUの高性能化. Security Akademia
<http://akademeia.info/index.php?CPU>
- 7) @IT, インテルの次世代プロセッサ「Penryn」の詳細を明らかに
<http://www.atmarkit.co.jp/news/200703/29/penryn.html>