

AMDCPU の行方

畠山 由貴, 雨宮 明日香

Yuki HATAKEYAMA, Asuka AMAMIYA

1 はじめに

近年, 3D シミュレーションやストリーミング, ユーザインタフェースの高機能化などにより, さらなるプロセッサの高性能化が求められている. 今までの CPU は, ひとつのコアで従来より高い性能を実現するために, 動作クロックの向上とトランジスタの集積密度の増大により対応してきた. しかし, これまでと同じ手法でコアを拡張すると, リーク電流が増え, CPU の消費電力が極めて増大してしまう.

そこで, ひとつの CPU のなかに複数のコアを内蔵するマルチコア技術に注目が集まった. 2005 年 4 月, AMD は自社で初めてデュアルコアプロセッサを発表し, サーバ向けのデュアルコア Opteron Rev.F および Athlon 64 X2 を出荷した. Intel の Pentium エクストリームエディション 840 に続いての発表により, CPU は本格的なマルチコア時代へと突入した.

本報告では, AMD のコア技術に注目し, 現状をふまえながら, AMD の今度の動向について予測する.

2 マルチコア

AMD プロセッサのロードマップを Fig. 1 に示す. 図中の括弧で示されているものはプロセッサの開発コード名である.

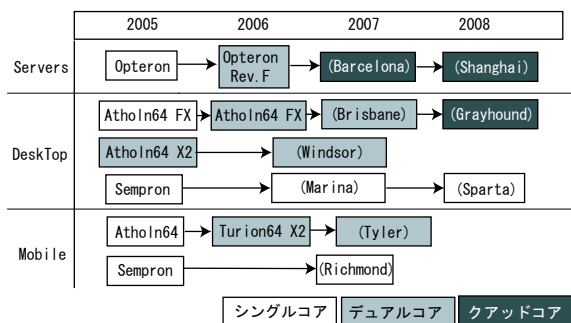


Fig.1 AMD ロードマップ (1) より参照

Fig. 1 に示されているとおり, CPU はシングルコアからデュアルコアへ, 更にはクアッドコアへと発展しており, マルチコア化が進んでいる.

2.1 デュアルコア

デュアルコアとは, 2つのコアを内蔵した CPU のことである. 1つのコアで処理速度を上げるより, 処理速度を抑えた2つのコアで計算を行う方が, 処理は速くなり, かつ電力効率は改善する.

AMD デュアルコアプロセッサである Athlon64 X2 の構造を Fig. 2 に示す.

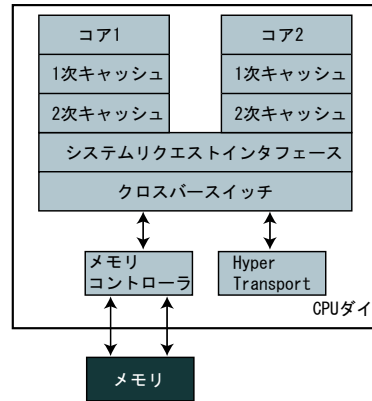
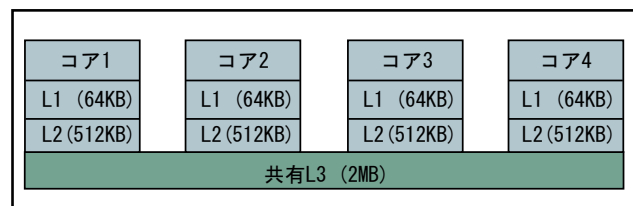


Fig.2 Athlon64 X2 の構造 (2) より参照

Fig. 2 に示した構造のもっとも画期的な点は, メモリコントローラを CPU 内部に内蔵したことで, CPU メモリ間で直接高速にデータのやり取りが行えることである. また, コア間の通信が CPU 内部のクロスバースイッチで高速に行えるため, キャッシュの同一性を保つ作業も素早く行える.

2.2 クアッドコア

クアッドコアとは, 4つのコアを搭載した CPU のことである. 2007 年中頃に, サーバ/デスクトップ向け次世代アーキテクチャのクアッドコア製品 (開発名: Barcelona) が登場する. AMD は, Barcelona から 3 次キャッシュを搭載し, 3 階層のキャッシュ構成を取る. Fig. 3 にクアッドコアプロセッサの構造を示す.



L1 : 1次キャッシュ L2 : 2次キャッシュ L3 : 3次キャッシュ

Fig.3 クアッドコアの構造 (3) より参照

クアッドコアの大きな特徴は, 共有の 3 次キャッシュである. Fig. 2 に示したように, 今までの AMDCPU は, コアごとに 2つのキャッシュが用意され, これらのキャッシュは各コア専用となっていた. それに対して, クアッドコアではコアごとに 2つのキャッシュを搭載するほか, 3 次キャッシュを複数のコアで共有する. 3 次キャッシュを備えることで, メモリアクセスの回数が減少する.

また, キャッシュの階層を増やすだけでなく, キャッ

シユの制御方式も変えている。AMD はこれまで、キャッシュの制御層間で排他的な制御を行ってきた。これは、1 次キャッシュに書き込んだデータは 2 次キャッシュには書き込まず、2 つのキャッシュでデータが重複しない制御方式である。この制御によって、2 次キャッシュの容量が比較的少なくても高い効率を維持することができる。しかし、この方式では共有キャッシュから特定のコアの占有 2 次キャッシュへデータが移動すると、他のコアがそのデータを参照する場合に、データを保持する他の 2 次キャッシュにアクセスしなければならないため、共有キャッシュの効率が悪くなる。そこで、Barcelona では基本的に排他制御を行いながら、オプションとして共有向けの制御を選択することが可能となっている。

2.3 ヘテロジニアス・マルチコア

ヘテロジニアス・マルチコア CPU は、1 チップに異なる種類のアーキテクチャのコアを搭載した CPU である。現在主流である、同じアーキテクチャのコアを複数搭載したホモジニアス・マルチコア CPU では、シングルスレッドの性能を維持するために CPU のサイズが大きくなってしまふ。シンプルな構造の小型のコアを多数搭載するとマルチスレッドの性能は上がるが、シングルスレッドの性能は低下する。そこで、シングルスレッドの性能を重視した大型のコアと、シンプルな構造でマルチスレッドの性能を重視した小型のコアを組み合わせることで高効率な処理の実現を可能とした。代表的なヘテロジニアス・マルチコアの CPU としては、PLAYSTATION3 に搭載された Cell が有名である。

3 CPU の進化の方向性

3.1 CPU と GPU の統合化

AMD は 2006 年 7 月 24 日、グラフィックチップメーカー ATI Technologies を買収すると発表した。この買収の裏にはマルチコア化による CPU のアーキテクチャのありかたの変化がある。AMD は、2008 年以降に、AMD の CPU コアと ATI の GPU コアを半導体本体で統合した CPU(開発名：Fusion) を投入する。Fig. 4 に AMDCPU アーキテクチャの方向性を示す。

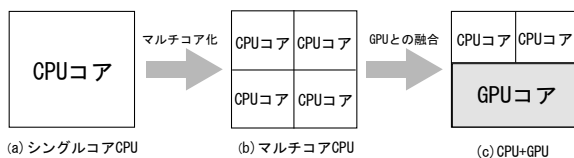


Fig.4 AMDCPU アーキテクチャの方向性 (3) より参照)

Fig. 4(c) の図が CPU と GPU を統合した構造である。Fig. 4(a) のシングルコア CPU や Fig. 4(b) のマルチコア CPU と比べて構造が異なっていることがわかる。GPU はグラフィックスの表示に必要な計算処理を行う半導体チップである。そこで、GPU コアに CPU のような汎用的な計算をさせるのではなく、物理シミュレーションのような比較的 GPU アーキテクチャに向けた特定用

途の計算を割り振ることで、CPU コアを並べたときよりも計算効率をあげることが可能となる。

3.2 CPU と GPU の融合における課題

GPU を CPU に組み込むことで、大幅に演算能力を向上できる反面、ソフトウェア開発面での労力は増大する。それぞれの演算コアに適したコードを書けば非常に高い性能を得られるが、そうしない限り大きな性能上昇は望めないためである。AMD は GPU コアを選んだことで、DirectX と OpenGL という広いソフトウェアベースを使うことができるが、まだ不十分である。このようなソフトウェア面での問題の解決が AMD のこれからの課題であるといえる。

4 マルチコア化の問題と解決に向けて

4.1 キャッシュの同一性

4.1.1 同一性の維持の限界

マルチコア CPU では、CPU コアが互いのキャッシュ内容の同一性を維持する必要がある。そのため、キャッシュ内容の比較と転送のための処理が発生する。今後マルチコア化が進み、CPU コアの数が増えるにつれて、コア同士のキャッシュ内容を保持するための処理が多くなり、性能低下につながる可能性がある。そこで、この問題を解決するために仮想化技術を利用することが考えられている。

4.1.2 仮想化技術

AMD は Opteron Rev.F をはじめとする最新プロセッサにソフトウェアによる仮想化を支援する機能を実装した。仮想化技術とは、1つのプロセッサ上で複数の OS を動作させることでコンピュータの効率性を向上させるものである。

現在の CPU では、1~2 個のコアの上で複数の仮想 OS を利用している。しかし、将来 CPU にコアが 10 個以上搭載されるようになれば、1つの仮想 OS に CPU コアを 1 個あるいは複数個割り当てることができる。各仮想 OS は、独自の分離された仮想メモリ空間を持つため、異なる仮想 OS 間では、CPU コアがキャッシュの同一性を保つ必要がない。Fig. 5 に仮想化技術を用いたマルチコア CPU の予想図を示す。

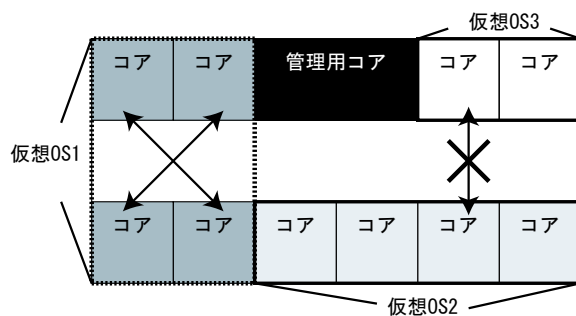


Fig.5 仮想化技術を用いたマルチコア CPU の予想図 (5) より参照)

Fig. 5 に示されているとおり、CPU はひとつの仮想

OS に割り当てられた CPU コア群の中だけでキャッシュの同一性を保つ処理を行い、異なる仮想 OS に割り当てられたコア同士では同一性を保つ処理を行わない。このように、仮想 OS と連動してコアを制御することで、キャッシュの同一性の維持における問題を解決することができる。

4.2 DDR3 メモリ

CPU コア数が増えると、より多くの CPU コアに命令とデータを供給する必要がある。そのため、CPU コアを有効に活用するためにはメモリ帯域を引き上げ、メモリ効率を上げる必要がある。しかし、現段階では、Barcelona のサポートする DRAM メモリは 2006 年に投入された Opteron のバージョンである Rev. F と同じ DDR2 を用いており、メモリのスペックは変わらない。2008 年以降、メインメモリは DDR2 から DDR3 へと強化される予定である。DDR3 の搭載により、更なる高性能化、および低消費電力化が期待されている。

4.3 省電力消費

AMDCPU には、PowerNow! テクノロジーという機能が実装されている。CPU が、OS の指示に従って動的に周波数を切り替え、CPU の稼働率が低いときには周波数を下げて、消費電力を抑える機能である。仮想化システムにおいても、処理性能とシステムの消費電力の関係を最適化し、消費電力の削減に貢献する。CPU のマルチコア化に伴い、コア単位の消費電力管理にも対応し、今後さらにアップデートされる予定である。

5 今後の展望

AMD では、CPU と GPU の統合は始まったばかりであり、2009 年以降に生産を開始する計画が進んでいる。GPU コアはグラフィック向けの計算だけでなく、より汎用的なコンピューティングのために最適化され、製品化までに Fusion のアーキテクチャの変更は繰り返されるだろう。また、ヘテロジニアス・マルチコア技術だけでなく、ホモジニアス・マルチコア技術も発達し、Barcelona の先にはオクタコア CPU が現実化するはずである。

アーキテクチャの多様化により、AMD の CPU の方向性は大きく 2 つの方向に分かれていく。汎用コンピューティング性能を重視したサーバ向け CPU (ホモジニアス・マルチコア) と、汎用コンピューティング性能向上と高度な 3D グラフィックス機能をバランスよく実現するためのクライアント向け CPU (ヘテロジニアス・マルチコア) の 2 つである。このアーキテクチャの多様化と市場の分化は今後ますます進んでいくと考えられる。

また、AMD はプロセッサに仮想化技術を実装するだけでなく、仮想化技術を核とした新しいコンピュータの利用形態である「Trinity」を発表した。Trinity は仮想化技術、セキュリティ機能、および管理機能を備えている。今後数年で、システム管理のマルチベンダー化はさらに進むと考えられる。こうした仮想化技術の発展により、マルチベンダー構成のシステムにおいて、煩雑化しやす

いシステム運用管理をシンプルに統合することができる。この例に見られるように、今後、プロセッサと仮想化技術の密接な発展が予想される。

参考文献

- 1) AMD, <http://www.amd.com/jp-ja/>
- 2) ALL ABOUT AMD
DOS/V POWER REPORT 編集部, 2006
- 3) 後藤弘茂の Weekly 海外ニュース
<http://pc.watch.impress.co.jp/docs/article/backno/index.htm>
- 4) マイコミジャーナル
<http://journal.mycom.co.jp/news/2006/06/03/100.html>
- 5) AMD Virtualization のすべて
<http://itpro.nikkeibp.co.jp/article/COLUMN/20061013/250707/>