

Intel の行方

～マルチコアのその先へ～

西岡雅史, 高畑泰祐

Masashi NISHIOKA, Taisuke KOHATA

1 はじめに

近年, CPU 業界は大きな転換期を迎えている。これまで, Intel は高クロック化による CPU の高速化を追求してきた。しかし, 最近ではクロック周波数の向上や, 製造プロセスの微細化といった手法だけでは, CPU の性能が上がらなくなってきている。その原因となっているのが, 消費電力の増加である。トランジスタの微細化が進むにつれ, トランジスタのオフ時に流れるリーク電流が増加し, 消費電力が増えてしまったのである。

そこで, 高クロック化に代わる方針として, 1つの CPU に複数のプロセッサコアを搭載したマルチコア CPU が登場した。現在では, Intel をはじめとする CPU メーカーはマルチコア化へと向かっている。本稿では, Intel のマルチコア CPU のアーキテクチャに注目し, 生産技術などをふまえながら, 今後の方向性について予測する。

2 マルチコア化

Intel プロセッサの今後のロードマップを Fig. 1 に示した。ここで, 括弧で表示されているのはプロセッサの開発コード名である。ロードマップに示されているように, CPU はシングルコアからデュアルコア, マルチコア, そしてメニーコアへと向かう。

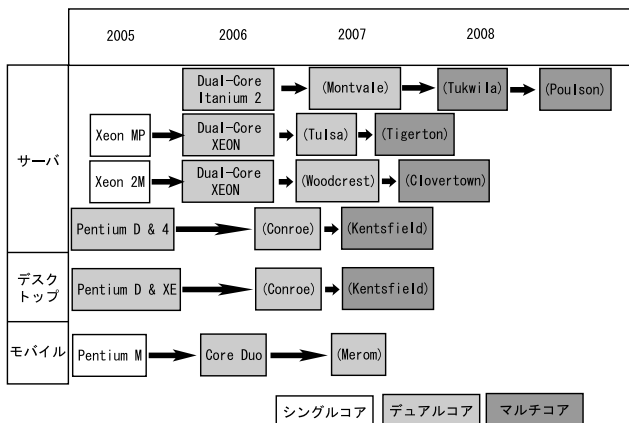


Fig. 1 Intel プロセッサのロードマップ (出典: 自作)

2.1 デュアルコア

デュアルコアとは, 1つのパッケージに2つのプロセッサコアを持った CPU のことである。デュアルコアのメリットとしては電力効率の改善がある。一般的に消費電力は動作電圧の2乗×クロック周波数に比例する。そ

で, 低クロック周波数で動作するコアを2つ使用することによって, 消費電力の上昇を使用したコア数による上昇のみに抑えることができる。また, 複数のタスクを実行する場合や, マルチスレッド・アプリケーションにおいてパフォーマンスが向上する。

デメリットとしては, 2つのコアを搭載するという構造上, CPU のサイズが大きくなり, 製造コストが高くなるということがある。さらに, シングルスレッド・アプリケーションにおいては性能が落ちてしまう。また, 現在の Intel 製のデュアルコアは, 2つのプロセッサコアを単にバスで接続した構造になっている。このような構造では, 他方のコアやそのキャッシュにバス経由でアクセスしなければならず, バスがボトルネックとなる。

2.2 Intel Core Microarchitecture

Intel Developer Forum Spring 2006¹⁾ で発表された次世代チップアーキテクチャは, Intel Core Microarchitecture²⁾ と呼ばれる。現在の主流である Pentium D の CPU 構造を Fig. 2 に, 今後主流となる Core Duo の構造を Fig. 3 に示した。Fig. 2 のこれまでの構造と Fig. 3 の新たな構造の大きな違いは, キャッシュメモリの共有である。キャッシュを共有することによって, 2つのコアがバスを介さずに, 効率的にキャッシュからデータをとってこることができる。また, パイプラインの長さも以前の 31 ステージから 14 ステージへと短くなった。この変更により, 各ステージでの作業量は増えるものの, 低クロックでも処理能力を維持できる。この新しいアーキテクチャによって消費電力の削減と処理能力の向上が得られる。

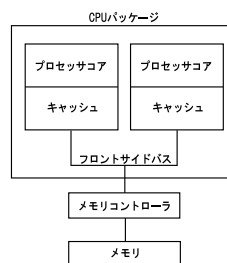


Fig. 2 Pentium D (出典: 自作)

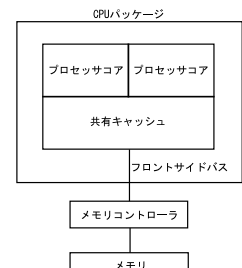


Fig. 3 Core Duo (出典: 自作)

新アーキテクチャでは新たな機能も追加されている。これまでは1クロックあたり最大で3命令を実行するこ

とができたが、これが4命令へと改良された。また、以前は2クロック必要であった128bitの浮動小数点演算が、1クロックで可能となった。これにより、クロック周波数に強く依存するアプリケーションにおいても処理能力が向上することとなる。

2.3 ヘテロジニアス・マルチコア

Intelではデュアルコアの次の段階として4つのコアを搭載したクアッドコアを開発している。現在発表されているものはいずれも、デュアルコアプロセッサを単に2つパッケージしたような構造であり、プロセッサ同士を繋ぐバスがボトルネックとなる。そのため、将来的には4つのコア全てを1枚のチップに載せる必要がある。

マルチコアのさらに次の段階として、Intelは10個～100個のコアを搭載したプロセッサを開発していく予定である。これをメニーコアと呼んでいる。ここで、Intelでは新たにヘテロジニアス・マルチコアを視野に入れている。現在の主流は、同じコアを複数搭載したホモジニアス・マルチコアCPUである。だが、従来のコアを使ったホモジニアス・マルチコアでは、シングルスレッドの性能を維持することはできるが、CPUのサイズは大きくなってしまふ。そこで考えられたのが、コアをシンプルにすることであった。よりシンプルなコアを使えば、1つのコアあたりのサイズが小さくなり、たくさんのコアを搭載することができる。だが、このとき問題となるのは、シンプルコアではシングルスレッドの性能が落ちるといことである。そこで、シングルスレッド性能を重視した従来型のCPUコアと、マルチスレッド性能を重視したシンプルコアを組み合わせてすることによって、より高性能なマルチコアCPUを実現するのである。

3 Intelの技術開発

CPUの発展を支えてきたのは、さまざまな先端技術である。この技術の中には、チップアーキテクチャだけでなく、製造技術も含まれている。今後のCPUの発展を支える技術には以下のようなものがある。

3.1 45ナノメートルプロセス

現在主流となっている製造プロセスは、90と65ナノメートルプロセスである。45ナノメートルプロセスでの量産は2007年から予定されている。45ナノでは65ナノに比べ、トランジスタ性能が20%向上し、スイッチング電力も30%削減される。

3.2 High-k

現在、ゲート絶縁膜として利用されているのは二酸化シリコンである。その二酸化シリコンに代わる、新たな材料となるのが「High-k」³⁾である。「High-k」とは「高

誘電率」という意味であり、誘電率はトランジスタの性能に大きく影響する。誘電率の高い材料を使えば、ゲート絶縁膜の厚みを現在よりも数倍厚くすることができるため、問題となっているリーク電流を現在の100分の1以下に抑えることができるとされている。

3.3 トライゲート・トランジスタ

トライゲート・トランジスタとは、3次元ゲート構造をもったトランジスタのことである。3次元ゲート構造とは、トランジスタゲートの上部に加え、両側面もゲートとして使う、立方体のような構造のことである。この構造によって、トランジスタの設置面積を増やさずに、電気信号の通る領域を3倍に増やすことができ、同じゲートサイズの従来型トランジスタと比べて20%多く電流を流すことができる。これにより、減少する一方であったトランジスタへの電流供給を改善することができる。同時に、電流の量が同じ場合にはゲート1つあたりに流れる量が減るために、リーク電流や発熱を抑えることができる。また、3次元構造によってトランジスタの静電特性やショートチャネル効果を改善することができ、その結果、リーク電流は従来のトランジスタと比べ大幅に少なくなる。

4 今後の展望

今後のメニーコア時代において、CPUに搭載されるプロセッサコア数は急速に増加していくと考えられる。Intelでは、2007年からクアッドコアプロセッサを市場に投入していく予定である。しかし、その構造はあくまで間に合わせのものである。なお、IntelではAMDが採用するメモリコントローラを、当分採用する予定が無い。これは、バスインタフェースのほうが、メモリの規格変更に合わせてチップを設計しなおす必要がなく、柔軟性が高いからだとしている。Intelはデュアルコアの時と同じように、初期のクアッドコアではAMDに完成度で劣るであろう。しかし、キャッシュの容量を増やし、必要なデータの大半をキャッシュにプリフェッチすることで、性能面では引けをとらなくなるはずである。

また、2003年に発表されたCentrinoの成功以降、Intelはプラットフォーム指向を強めている。今後はPentiumのようなCPUのブランドよりも、プラットフォームとしてのブランドが重要視されるようになるかもしれない。

参考文献

- 1) Intel Developer Forum
<http://www.intel.com/idf/us/spring2006/index.htm>
- 2) Intel Core Microarchitecture
<http://www.intel.com/technology/architecture/coremicro/index.htm>
- 3) High-k
<http://www.intel.com/jp/developer/technology/silicon/si11031.htm>