

# メモリ (DDR 他) の行方 ~パラレルからシリアルへ~

天白 進也, 山元 佑輝  
Shinya TEMPAKU, Yuki YAMAMOTO

## 1 はじめに

過去 20 年においてプロセッサのスピードと、アーキテクチャの進歩によって CPU の性能は飛躍的に向上した。一方で DRAM の性能向上は遅れをとり、プロセッサとメモリの性能ギャップによってシステムの性能向上に限界が生じてきた。本稿では、まず、DDR の基礎技術、現在市場の主流である DDR, DDR2 のメモリ技術について解説する。次に、従来の技術の限界について指摘し、それらを克服する次世代メモリ技術の今後の展望について述べる。

## 2 DDR のメモリ技術

### 2.1 SDRAM

外部インターフェースをすべてクロックに同期させることで、高速動作を実現した DRAM である。SDRAM はバースト転送<sup>1</sup>機能を持ち、連続した命令を取り出して実行する場合は、アドレス計算が省略できるので、高速にデータを取り出すことができる。

### 2.2 DDR SDRAM

Fig. 1 に示すように、バースト転送を前提としてメモリセル<sup>2</sup>とのデータのやりとりを 2 ラインのプリフェッチ<sup>3</sup>を用いて行っている。また、外部インターフェースでは、ディファレンシャル・クロック方式<sup>4</sup>でのデータ転送を採用している。従って、最大で SDRAM の二倍の転送速度を実現することができる。

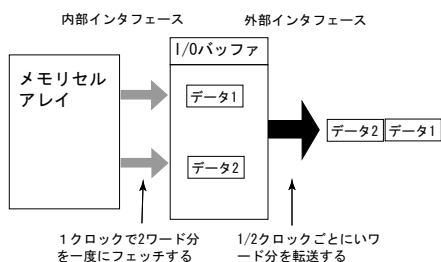


Fig. 1 DDR の構造

<sup>1</sup>1つのアドレスを指定するだけで、次に続くアドレスのデータを連続して転送すること。

<sup>2</sup>RAM の記憶領域。一般的に 1つのメモリセルに 1bit が保持される。

<sup>3</sup>CPU がデータを必要とする前にメモリから先読みして取り出す機能。

<sup>4</sup>クロックの立上りと立下り (1/2クロック周期) に同期する方式。

### 2.3 DDR2

DDR2 では、1クロックあたり 4ビットのプリフェッチに対応し、理論的には同じ動作クロックで DDR の 2 倍の速さでデータを転送することができるようになる。動作電圧は 1.8V で、DDR の 2.5V よりも低くなっている。また、DDR2 よりもさらに高クロック化に対応する。

### 2.4 DDR3

DDR3 では 8 ビットのプリフェッチに対応し、動作電圧はさらに 1.5v まで低くなる。最大データ転送速度が、DDR2 メモリの 2 倍にまで高められるほか、さらに高クロックに対応する。

## 3 DDR の課題

メモリバスの速度を高速化するとメモリ帯域は増加する。しかし、帯域を拡大するとデータ伝送のタイミングマージンが逆比例して減ってゆくと、Fig. 2 のような従来のバス構成の場合、メモリバスの高速化に伴いバスにかかる負荷が増え、信号が極めて乱れやすくなる。その結果、メモリコントローラに接続する DIMM の数を減らさざるを得ず、高速・大容量のメモリを要するサーバシステムにとって、この制約が性能向上のボトルネックとなっていた。(Fig. 3 参照) そこで、これらの解決策として、FB-DIMM という新たなメモリインタフェース技術が考えられている。

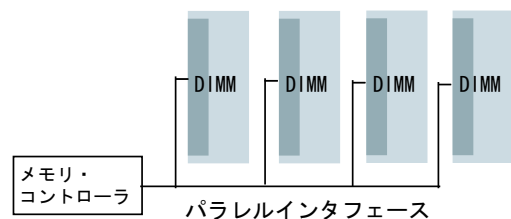


Fig. 2 従来の DIMM 構成

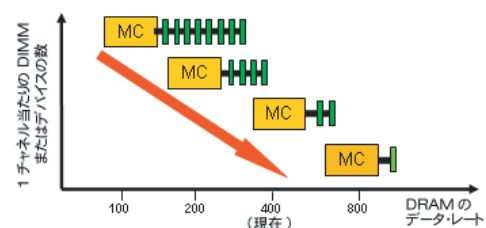


Fig. 3 DIMM 数の減少

## 4 FB-DIMM

### 4.1 FB-DIMMの構成

DIMM上に高性能バッファ(AMB)を搭載し、メモリコントローラとAMB間の信号接続にシリアル接続を採用することで、高速動作(従来の6倍速)を実現しつつ、1チャンネルあたり最大8枚のDIMMを接続することが可能になる。

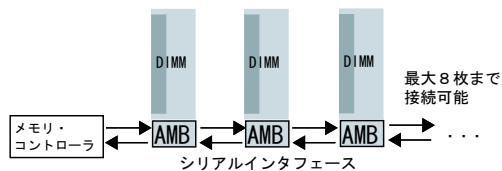


Fig. 4 FB-DIMMの構成

### 4.2 FB-DIMMの課題

FB-DIMMは従来の6倍のスピードでデータ転送を行うため、AMBも同等の速度で動作する必要がある。したがって、AMBの消費電力、発熱が問題になっている。メモリチップは温度によって動作特性が変化しやすいため、AMBの冷却は必須である。現状では、ヒートシンクをAMBに搭載することで対処されている。

また、FB-DIMMはメモリコントローラとAMB間は、シリアル接続であるが、AMBとDIMMの間は従来の低速なパラレル接続のままである。そのため、さらなる広帯域、大容量化の際の課題となる。この問題を解決する方法の一つとして、メモリコントローラとメモリチップをポイント・ツー・ポイントに接続する構成が考えられる。Rambus社が開発した、XDR DRAMはまさにその構成であり、注目されている。

## 5 XDR DRAM

メモリチップとメモリ・コントローラをポイント・ツー・ポイントに接続し、入出力ピン当たりの最大データ転送速度が極めて速いのが特徴である。XDR DRAMはRambus社が新たに開発した以下の3つの技術で構成されている。

- DRSL(Differential Rambus Signaling Levels)  
250mVと小さい振幅でデータを差動伝送することで、高速化が容易になるほか、低電圧、低消費電力を実現する。
- ODR(octal data rate) クロック・エッジごとにデータを8ビットずつ伝送する技術.DDRの4倍に相当し、XDRのデータレートは最大6.4GHzまで拡張可能である。
- FlexPhase

メモリLSIとコントローラ間の遅延時間を2.5psときわめて短い単位で制御する技術。これによって、すべてのピンのデータを同時に受け取るように、XIOの各ピンの出力タイミングを調整することができる。等長配線や、タイミング制御が不要になるため、回路の設計が容易になり、低コストにつながる。

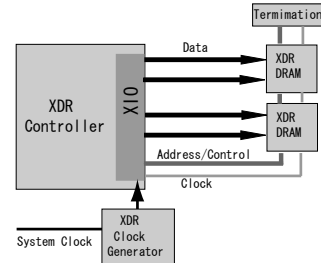


Fig. 5 XDR DRAMの構成

## 6 メモリ技術の展望

デスクトップPC向け製品へのFB-DIMMの導入について、2006年初頭にはDDR2-677/800への対応が行われ、それに続く形で導入される予定である。サーバ、ワークステーション向けには、今年にはDDR2ベースのFB-DIMMがIntel Xeon DP向けに立ち上がり、2007年にはDDR3ベースのFB-DIMMがXeon MPやItanium向けに立ち上がる予定である。

FB-DIMMを導入する最大の理由は、4.2節で述べたように、メモリ容量を確保することにある。従って、大容量メモリを利用したいサーバ、ワークステーションの分野で解決策になると考えられる。一方、現行のデスクトップPCやノートPCではそれほどメモリ容量を必要とせず、また、AMBの発熱がネックとなり、FB-DIMMの導入は、もう少し先になると予測される。

XDR DRAMについて、RambusはXDRをDIMM化した、XDIMMを提案しているが、製造コストが比較的高いこと、製造プロセスの問題から、まだ製造に手を上げた企業はいない。しかし、広帯域、大容量化の要求が高まれば、メモリインタフェースがパラレル接続からシリアル接続へと移り変わるの間違いなく、DDRの次々世代規格であるDDR4では、FB-DIMM、XDR DRAMに類似した技術が用いられると思われる。また、今後Rambusがどこまでintelの牙城を崩せるかも注目される場所である。

### 参考文献

- 1) MYCOM PC WEB  
<http://pcweb.mycom.co.jp/>
- 2) intel  
<http://www.intel.co.jp/>