

# CPU の行方

～ クロック向上からマルチスレッド向上へ ～

吉井健吾, 折戸俊彦

Kengo Yoshii, Toshihiko Orito

## 1 はじめに

集積回路の発展は留まることを知らず、現在もムーアの法則<sup>1</sup>に従って製造プロセスは微細化されている。しかし、製造プロセスがナノメートルの単位に入り、消費電力は急増しており、ひとつの CPU コアあたりのクロックの向上が困難となりつつある。そのため、クロックの向上とは異なった視点で性能を向上させる方法が必要とされ、その一つにスレッドレベル並列処理が考えられている。本稿ではこのスレッドレベル並列処理に注目し、今後の展望について述べる。

## 2 トランジスタの微細化

年々トランジスタは微細化されているが、何故トランジスタを微細化する必要があるのか。それにはいくつかのメリットがある。

- 高速なスイッチ動作による、CPU 周波数の向上
- より低電圧による消費電力、発熱の抑制
- CPU への集積度アップによる高機能化、高速化
- 大量生産によるコスト削減

これらのように微細化する必要性は高いが、近年、微細化によって消費電力が大きな問題となっている。トランジスタをある程度以上微細化すると、トランジスタからリーク電流が発生するのである。つまり、本来トランジスタを微細化することによって下がる消費電力が、リーク電流が原因で増加している。Fig. 1 は最新 CPU の消費電力である。IBM の Power PC 970 を除いて、Intel, AMD のほとんどが 80W を超えていることがわかる。特に Pentium 4 の 130  $\mu\text{m}$  プロセスと 90nm プロセスの同クロックを比較すると 20W も上昇している。このことから今後の課題は明確であり、ナノプロセスに伴う消費電力対策が必須であることがわかる。

## 3 IBM の消費電力技術

IBM の Power PC 970 の後継 CPU である Power PC 970FX は 90nm プロセスであるにもかかわらず、消費

<sup>1</sup>Intel の Gordon Moore 氏が提唱した経験則「半導体チップに集積されるトランジスタの数は 18ヶ月ごとに倍増する。」

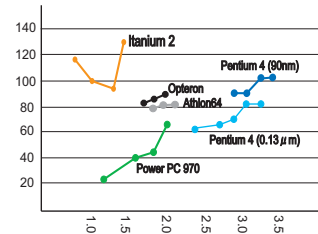


Fig. 1 CPU の消費電力

電力は 50W である。これは Intel には無い消費電力技術を採用しているからと考えられる。

### 3.1 SOI

シリコン内にトランジスタを絶縁する層を設けることで流れ出る電荷の停電を約 45% を削減することができる。これにより、同クロックで動作する類似のチップと比べて、SOI を採用したチップは性能を向上させるか、あるいは消費電力を削減することが可能となる。

### 3.2 Power Tune

負荷状態に応じてプロセッサの周波数と電圧をソフトウェア制御で調節することにより、消費電力を削減する。

## 4 スレッドレベル並列処理 (TLP: Thread-Level Parallelism)

消費電力問題によるクロックの向上が困難になり、CPU 業界ではマルチスレッディングがトレンドとなっている。クロックの向上が困難となってきた今、マルチスレッディングが CPU の性能を伸ばす一番早い道なのである。CPU の性能は基本的に動作周波数と IPC<sup>2</sup>で決まると言われており、クロック向上が困難である故、CPU の性能を高める鍵は IPC にあると考えられる。現在 IPC を高める手段としてスレッドレベル並列処理が最も注目されている。

### 4.1 CMP (Chip Multi Processing)

一つのチップに命令発行器や演算器などを組み合わせたプロセッサコアを複数搭載し、マルチスレッドを実現する技術である。マルチコアプロセッサでは、各プロセッサコアは基本的に独立しているため、それぞれのプロセッサコアは他のプロセッサコアに影響されることな

<sup>2</sup>1 サイクルで実行可能な命令数

く動作できる。つまり、マルチコアプロセッサの原理はマルチプロセッサとほぼ同じで、単に複数のプロセッサコアで処理を分担し、その分だけ性能を向上できる。

#### 4.2 SMT(Simultaneous Multithreading Technology)

単一のプロセッサコアで複数スレッドを同時処理する技術である。一つの物理 CPU を複数の論理 CPU として扱い、CPU 内の演算ユニットを複数の論理 CPU で共有する。プロセッサごとにアーキテクチャ・ステートを多重化し、ひとつのプロセッサ実行リソースを共有させることによって、スレッド・レベルの並列化を行う。

#### 4.3 CMT(Chip Multi Threading)

CMT は CMP と SMT の技術を足し合わせたものである。つまり「CMT=CMP+SMT」となるマルチコアマルチスレッドである。一つのプロセッサに搭載するコアの数を  $n$ 、一つのコアで同時処理するスレッドの数を  $m$  とすると、スループットは  $n \times m$  となる (Fig. 2)。

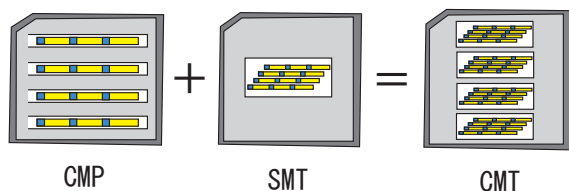


Fig. 2 CMP+SMT=CMT

### 5 次世代 CPU

Table 1 は各社の次世代サーバ系 CPU である。Power5 は Power4 からすでにデュアルコアであったが、Power5 はさらにデュアルスレッドを搭載することにより、OS からはひとつのチップで 4 つのプロセッサに見えることになる。AMD の 90nm プロセス版の Opteron や Intel の Itanium2(Montecito) もデュアルコアを採用する予定であり、さらに IBM と Intel は既にマルチコアマルチスレッドの製品も計画している。このように、CPU 業界のトレンドは明確にスレッドレベル並列処理に向かっているといえる。

Table 1 次世代 CPU

	発表(年)	CMP	SMT
Power5	2004	デュアル	デュアル
Opteron(K9)	2005	デュアル	-
Montecito	2005	デュアル	-

### 6 今後の展望

消費電力問題は予想を超える壁となり、クロックをこれからも上げ続けるには消費電力対策が必須である。そ

してこれからの CPU の進化は、クロックの向上ではなく、マルチスレッド技術が重視される。このことは、従来のような命令レベルの並列化、つまり CPU 内に演算ユニットを多数用意して同時に実行できる命令を抽出することによって IPC の向上を求めるのではなく、一つの CPU に複数のコアを搭載する CMP 技術や、複数のスレッドを同時処理する SMT 技術によってマルチスレッドが実現されることを意味する。特に CMP の必要性が大きくなっていくことが予想される。現時点の SMT は単一コアの性能を約 30 % 引き上げることができるとされているが、CMP は CPU 内部のリソースの競合が発生しないため、マルチプロセッサとほぼ同等の並列処理が可能となり、SMT よりも性能を上げやすい。またスレッドレベル並列処理においても消費電力対策は必須である。CMP において「電源によりアダプティブにコア数を切り替える」デュアルコアによって消費電力を調節することが現在予定されている。このことから将来には処理の負荷に応じて動的にコア数を切り替えることが可能になると予測される。まずはサーバ系 CPU でデュアルコア化、マルチコア化の順番に実装され、その後クライアント CPU の分野にも同じように実装されてくるであろう。近い将来には、サーバ系 CPU にはマルチ CPU マルチコアマルチスレッド、クライアント CPU には 1CPU マルチコアマルチスレッドが当たり前になるであろう。

また本稿では触れなかったが、これからの CPU はマルチスレッド向上に加え、多機能を搭載することになる。今予定されているだけでも、CPU にハードウェアレベルでセキュリティ機能を搭載することにより、不明な命令を実行しないことや、仮想機能により 1 つの CPU で複数の OS を同時に稼働させることがある。そして CPU の集積度が高くなるにつれ、キャッシュメモリの容量も増加していくであろう。現段階でも Itanium2 で 6MB の 3 次キャッシュを搭載しており、ちょうど 10 年程前の DRAM の容量に近い。将来には、現在 DRAM に搭載している程の容量が CPU 内のキャッシュメモリに搭載されるかもしれない。

消費電力問題によりクロックの向上は困難となりつつあるが、マルチスレッド向上などの技術革新により、CPU は今後も進化し続けていくであろう。

#### 参考文献

- 1) CPU の働きと高速化のしくみ 山田宏尚著
- 2) 後藤弘茂の Weekly 海外ニュース  
<http://pc.watch.impress.co.jp/docs/2004/0413/kaigai082.htm>
- 3) Septor.net  
<http://www.septor.net/archives/>