

メモリ (DDR 他) の行方

～ 究極のメモリへの道～

折戸 俊彦, 釘井 睦和

Toshihiko ORITO, Yoshikazu KUGII

1 はじめに

近年, メモリに関する技術が著しく向上している. PC のメインメモリとして主流であった SDRAM (Synchronous DRAM) は次世代メモリと呼ばれる新たなメモリの出現により, 世代交代を余儀なくされた. DRAM 戦争と呼ばれるシェア争いの結果, DDR SDRAM (Double Data Rate SDRAM) が DRDRAM (Direct Rambus DRAM) を抑えて市場の大部分を獲得した. 本稿では, メモリの構造や, 次世代メモリを含めた今後の展望について述べる.

2 現在のメインメモリ

現在, 市場で売買されている代表的な DRAM 2 種の特徴について述べる.

2.1 SDRAM

外部インターフェースをすべてクロックに同期させることで, 高速動作を実現した DRAM である. SDRAM はバースト転送¹機能を持ち, 連続した命令を取り出して実行する場合は, アドレス計算が省略できるので, 高速にデータを取り出すことが出来る.

2.2 DDR SDRAM

Fig. 1 に示すように, バースト転送を前提としてメモリセル²とのデータのやりとりを 2 ラインのプリフェッチ³を用いて行っている. また, 外部インターフェースでは, ディファレンシャル・クロック方式⁴でのデータ転送を採用している. 主流メインメモリの地位を手に入れたが, DDR400 で高クロックに加え, 供給電圧が 2.6V に上がり, 発熱量に課題が残った.

3 次世代メモリ

3.1 揮発性メモリ

次世代メモリの中で揮発性メモリである DDRII, DDRIII の特徴について述べる.

¹ 1 つのアドレスを指定するだけで, 次に続くアドレスのデータを連続して転送すること.

² RAM の記憶領域. 一般的に 1 つのメモリセルに 1bit が保持される.

³ CPU がデータを必要とする前にメモリから先読みして取り出す機能.

⁴ クロックの立上りと立下り (1/2 クロック周期) に同期する方式.

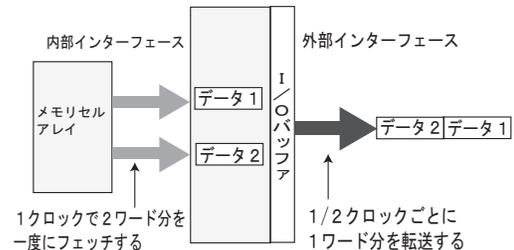


Fig. 1 DDR の構造

3.1.1 DDRII

DDR で 2 ライン用意されていたプリフェッチは DDRII では 4 ラインに拡張されている. Fig. 2 のように, FSB⁵クロックと同期を取るために, ディファレンシャル・クロック方式に加えて, 外部インターフェースのクロックを内部インターフェースの 2 倍にしている. DDR で課題として残った供給電圧が改善されており, 1.8V で動作する.

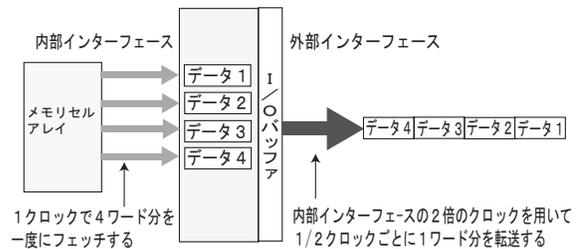


Fig. 2 DDRII の構造

3.1.2 DDRIII

正式な発表はされていないが, DDRIII ではプリフェッチが 8bit, 供給電圧は 1.5V になる予定である. 外部インターフェースは内部インターフェースの 2 倍のクロックで 1/4 クロック毎に同期を取るのではなく, 4 倍のクロックを用いて, 1/2 クロック毎に同期を取る構造になると考えられる. DDRII, DDRIII とともにディファレンシャル・クロック方式のような画期的な仕組みではなく, 外部インターフェースの周波数を上げることによって高速化を行っているため, 周波数が技術的な限界に達した時に DDR の時代は終わるかもしれない.

⁵ フロントサイドバス

3.2 不揮発性メモリ

近年、不揮発性メモリが次々と出現してきている。各不揮発性メモリの特徴について述べる。

3.2.1 MRAM (Magnetoresistive RAM)

磁気によってデータを記憶する不揮発性メモリで、軍事・宇宙開発などの特殊な用途以外ではいまだあまり実用化されていない。Fig. 3において、(a)のように2つの強磁性層の磁界が同じ向きの場合には抵抗値が小さく、逆に、(b)のように反対方向の場合には抵抗値が大きくなる。MRAMはこの抵抗値の変化を記憶素子として利用したもので、例えば、抵抗値が大きい場合は“1”、小さい場合は“0”で論理定義する。MRAM, FeRAM, OUMの中では最も高速な読み書きができ、書き込み回数は無制限である。ただし、コストが高く、ロジック回路との混載にも向かない。大容量化可能で高速な読み書きができるため、将来、メインメモリに利用されることが期待されている。

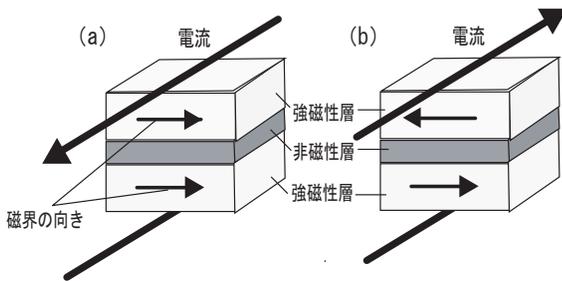


Fig. 3 MRAM の構造

3.2.2 FeRAM (Ferroelectric RAM)

自然の状態です誘電分極している強誘電体薄膜材料⁶を記憶素子として用いた不揮発性メモリである。電圧が+か-で“1”、“0”の論理定義する。FeRAMは既に実用化されていて、高速な読み書きができるが、書き込み回数は 10^{12} 回までと制限されている。コストは高いが、消費電力が低いためにフラッシュメモリにとって代わると予測されている。

3.2.3 OUM (Ovonic Unified Memory)

OUMは相変化膜⁷を記憶素子に使う不揮発性メモリで、カルコゲニド合金という特殊な薄膜素材を使用している。カルコゲニド合金はアモルファス(非結晶)状態では抵抗値が高く、結晶状態では抵抗値が低い。この2つの状態を利用して“1”と“0”の論理定義する。高速な読み書きができるが、書き込み回数は 10^{12} 回までと制限されている。Intel社の得意なロジック回路との相性が良いため、Intel社が注目している。

⁶自然のままの状態でも+や-に帯電している。

⁷結晶状態と非結晶状態によって抵抗値が変化する膜。

4 今後の展望

ネックである供給電圧の課題も DDRII 以降で解決したので、周波数が限界に達するまでは DDR は引き続き主流であり続けると考えられる。DDR について述べると、DDR400 はすでに店頭に並んでいるが、DDR333の方がコスト面で優れていること、DDRII が 400MHz からスタートすることから、2004 年前半までは DDR333 が主流を占めると考えられる。FSB クロックが 667MHz(5.3GB/sec) までなら、DDR333(PC2700) のデュアルチャネル⁸($2.7 \times 2\text{GB/sec}$) で対応できるため、DDRII が必要となるのは FSB クロック 800MHz が登場してからである。FSB クロック 800MHz のマザーボードが 2004 年第 2 四半期に登場してから、DDRII は 2004 年後半に向けて徐々に普及していくと予測される。

Intel 社がメモリと FSB クロックの帯域の拡大に力を入れているのに対し、AMD 社は DRAM コントローラを用いて、メモリレイテンシ⁹を短縮させることを重視している。次世代デスクトップの Athlon (ClawHammer) が必要とするメモリ帯域は Pentium4 の半分程度である。DDRII への移行は、メモリ帯域をそれほど必要としないことからしばらく先になると予測される。

今後、激しい動向が見られるのは MRAM, FeRAM, OUM 等の次世代不揮発性メモリである。どのメモリも一長一短でどれが良いとは一概には言えない。OUM には Intel 社のサポートがあるので、このままでは市場は次第に OUM に傾いていくと考えられる。しかし、2002 年 12 月に新たな次世代不揮発性メモリである RRAM (Resistance RAM) が発表された。RRAM は他の不揮発性メモリと比較して、1 ビット当りの占有面積、消費電力、高速性等で同等か優れているという。AMD 社もフラッシュメモリの記憶容量を倍加させた MirrorBit フラッシュチップを提唱しているが、他の不揮発性メモリと比較すると見劣りする。どのメモリも開発途上であるため、結果がわかるのはかなり先の話である。不揮発性かつ高速・大容量・低コストで消費電力が低い究極のメモリが将来誕生するならば、この 4 種の中では OUM もしくは RRAM の後継であると考えられる。

参考文献

- 1) MYCOM PC WEB
<http://pcweb.mycom.co.jp/>
- 2) @IT -アットマーク・アイティ-
<http://www.atmarkit.co.jp/index.html>

⁸メモリバスを 2 本に増加させ、それらのメモリバスに同時にアクセスすることで、理論上のデータ転送速度を 2 倍に向上させる技術。

⁹メモリへのアクセスリクエストをしてから実際にデータを手にいれることができるまでの時間。