

# CPU の行方

## The future of CPUs

~ ムーアの法則の限界への Intel の挑戦 ~

降幡 建太郎, 奥田 環

Kentaro FURIHATA, Tamaki OKUDA

**Abstract:** "Moore's Law" has predicted CPUs' evolution. But today, there are many technical difficulties to raise the performance. The physical limit is coming. CPU developers must find the new way to survive. Recently, Intel showed the new technologies which prolong the life of the law. Intel entrusts their destiny to them. This paper shows how CPUs have progressed and Intel's solutions to elevate the speed of them.

## 1 はじめに

CPU の処理速度は年々向上してきたが, ムーアの法則はすでに限界に達していると言われている。すなわち, CPU 単体での高速化はそろそろ限界に近づいているであろうというのが大方の見方である。

本発表では, CPU の現状と次世代 CPU の技術について, Intel 社の戦略に絞って見ていく。

## 2 CPU の進化

### 2.1 ムーアの法則

1965 年, Intel 社の共同設立者 Gordon Moore は, CPU に搭載される「トランジスタ<sup>1</sup>の集積度は約 2 年で 2 倍に倍増する」ことを予測した。これを「ムーアの法則」と呼ぶ。以来, 35 年以上, ほぼこの法則のとおり, CPU のトランジスタの集積度は増大していき, 現在でも続いている。これは, CPU の高速化, 高性能化の指標である。(Fig. 1 参照)

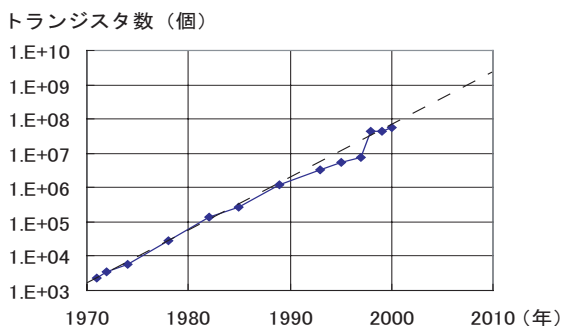


Fig. 1 ムーアの法則

Intel 社の最新 CPU, Pentium4 プロセッサでは, 2.4GHz の動作周波数, 5500 万個のトランジスタ数にまで達している。Intel 社が開発した世界初の CPU「4004」は, 動作周波数 108KHz, トランジスタ数 2300 個であり,

<sup>1</sup>信号を流すかどうかという, スイッチの役割を果たす小さな素子。複数組み合わせることにより, 基本的な論理回路を実現する。

これと比較すると, 現在では, 動作周波数は約 2 万倍, トランジスタ数は約 2 万 4000 倍にまで増大している。

### 2.2 トランジスタ数の増大

CPU 性能の向上に比例して, トランジスタは微細化されてきた。この結果として集積率が上がり, トランジスタ数も増大してきた。トランジスタの微細化が必要になる理由を以下に示す。

- より高速なスイッチ動作が可能になり, 結果として CPU の動作周波数が向上する。
- より低い電圧で動作するので, 消費電力を削減できる。とくに, トランジスタの消費電力は, 動作電圧に対して大きな割合を占めるため効果的である。
- 同じ面積により数多くのトランジスタを配置できるため, CPU で実現されているアーキテクチャを改善できる。このため, 多機能化と処理性能の向上を図ることができる。

### 2.3 製造プロセス技術

プロセスサイズとは, IC チップ内のトランジスタ間の間隔のことである。この間隔は, CPU の速度および消費電力と密接な関係がある。この間隔が小さいほど動作周波数は向上し, 消費電力は小さくなる。このため, CPU のプロセスサイズは年を追うごとに小さくなってきている。

Pentium4 は, 最新の  $0.13\mu\text{m}$  プロセス技術を採用している。より微細な製造プロセス技術が利用可能になると, トランジスタのサイズも小さくでき, 高速化, 省電力化につながる。現在,  $0.13\mu\text{m}$  プロセスのトランジスタのサイズは  $70\text{nm}$  まで小さくなっている。 $0.18\mu\text{m}$  プロセスから  $0.13\mu\text{m}$  プロセスへの移行により, 従来の回路の約半分の面積で同じ回路を製造できる。そのため, Pentium4 では, L2 キャッシュが  $512\text{KB}$  まで増量され, 処理速度が向上した。

### 3 テラヘルツトランジスタ

2001年11月、Intel社が発表したトランジスタは、ゲート長がわずか15nm、動作周波数2.63THzという世界最小・最速のものであった。毎秒2.63THzのスイッチ動作が可能であり、テラヘルツトランジスタと呼ばれ、次世代CPUを開発する上での主要技術となる。しかし、トランジスタの微細化には幾つかの技術的問題があった。

#### 3.1 トランジスタ微細化の問題点

- リーク電流

リーク電流とは、ソース・ドレイン間など、本来流れるべきでないところに電流が流れてしまう現象である。これは、無駄な電力を消費するばかりか、誤動作の原因にもなる。これを防ぐために動作電圧を高くする必要がある。

- ソース・ドレイン間の電気抵抗

トランジスタ全体が小さくなると、ソースやドレインも小さくなり、ソース・ドレイン間の電気抵抗が高くなる。抵抗が大きいと電流が流れにくくなるため、電圧を高くする必要がある。

- 浮遊容量

基板の部分(ウェハを構成するシリコン)とソース、ドレインは違う材質であり、ここにコンデンサ(浮遊容量)が構成される。コンデンサができると、電流が流れ始めるまでに時間がかかり、ソース・ドレイン間を伝わる信号が遅れてしまう。

#### 3.2 Intel社の解決策

- ゲートのリーク電流阻止

ゲートのリーク電流を少なくするために、ゲート絶縁膜に誘電率<sup>2</sup>の高い物質を利用する。従来の二酸化シリコン(SiO<sub>2</sub>)ではなく、高誘電率(High-k)ゲート絶縁膜の新材料<sup>3</sup>を使用している。これにより、薄くてもリーク電流が流れにくくなる。

- ソース・ドレイン間のリーク電流、浮遊容量の阻止

ソース・ドレイン間のリーク電流や浮遊容量を減らすため、従来よりSOI<sup>4</sup>という方法が研究されてきた。Intel社では、絶縁体のすぐ上にトランジスタを作るDST<sup>5</sup>を開発し、さらに性能を高めた。

- ソース・ゲート間の抵抗の減少

ソース・ゲート間の抵抗を小さくするために、ソ-

ースとドレインの両端の部分を持ち上げ、厚みを増加させた構造<sup>6</sup>を採用している (Fig. 2 参照)

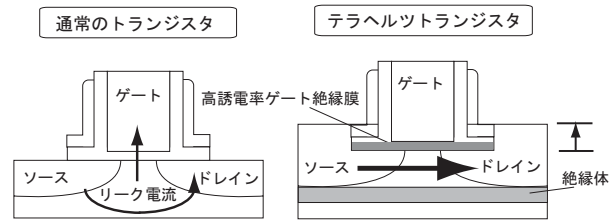


Fig. 2 テラヘルツトランジスタ

### 4 次世代CPU開発の問題点

テラヘルツトランジスタからCPUを製造するためには、さらに多くの問題を解決する必要がある。その一つが発熱量の問題である。この対策の一つとして、ハイパースレッディング技術がある。この技術は処理能力を増大するだけでなく、必要なロジックが少ないため、発熱量や回路規模も比較的小さくすることが可能である。

ハイパースレッディング技術とは、1個のCPUがあたかも複数個のCPUであるかのようにデータを扱うことで、命令の処理効率を大幅に高めるプロセッサ設計技術である。この技術では、スレッドレベル<sup>7</sup>で並列処理を行っている。

さらに、こうした超高速CPUに対応できるメモリ、バスなどの周辺の技術および、PCのアーキテクチャやOS、アプリケーションなどの対応が必要不可欠である。

### 5 おわりに

今回のテラヘルツトランジスタの発表によって2010年までムーアの法則が延命される見通しがたった。前節で述べたような理由で、すぐにテラヘルツトランジスタを搭載したCPUが開発されることはない。1年後も、Intel社の最速CPUは、動作周波数を向上させたPentium4だろう。しかし、Intel社は、2010年頃までには10億個ものトランジスタを集積したCPUを開発する予定である。

遅かれ早かれ、ムーアの法則が物理的限界に到達することは避けられない。しかし、現在、量子コンピューティングなど、革新的な技術が研究段階にある。法則崩壊後もコンピュータがその進化を止めることはないだろう。

### 参考文献

- 1) ASCII. 月刊 ASCII 2002年2月号.
- 2) Intel. <http://www.intel.com/jp/home/technology/processor/index.htm>
- 3) ZDNet. <http://www.zdnet.co.jp/news/>

<sup>6</sup>Epitaxy Grown Source Drain.

<sup>7</sup>プログラムの実行単位.

<sup>2</sup>不導体には、電流は流れず帯電していない。しかし、電解がかけられると内部の電子が移動し全体が帯電することがある。この帯電のしにくさを誘電率という。

<sup>3</sup>二酸化ジルコニウム, ZrO<sub>2</sub>.

<sup>4</sup>Silicon On Insulator (絶縁体の上のシリコン)。トランジスタの下に酸化膜を置き、ウェハ全体を構成するシリコンを分離し、ソース・ドレインに挟まれた領域を小さくする技術。

<sup>5</sup>Depleted Substrate Transistor (完全空乏型基板トランジスタ)。