

次世代 CPU の行方

The future of the next generation's CPU

有賀 浩, 吉田 純一

Hiroshi ARUGA, Jun-ichi YOSHIDA

Abstract: This paper introduces some technologies for high performance CPU and the trend of next generation CPU. There is various ways to enhance the performance of CPU. Among of these technologies, EPIC and VLIW architecture are picked up. And more, Intel Architecture 64(IA-64) and Crusoe processor are given as the concrete example of these technologies.

1 はじめに

現在 Intel, AMD 両社が 1GHz の CPU をめぐり技術力を競い合っている。Intel 側は Pentium の後継にあたる「Willamette」, Pentium Xeon の後継の 64bitCPU である「Itanium」(後述), Celeron の後継である「Timna」などを発表している。それに対して AMD 側はコアに 2 次キャッシュを統合した「Thunderbird」と「Spitfire」, 更には 2001 年投入目標の 64bitCPU 「SledgeHammer」などを発表している。

ここでは 64bitCPU などの次世代 CPU のあり方とその技術について, 具体的な例を取り上げて考察する。

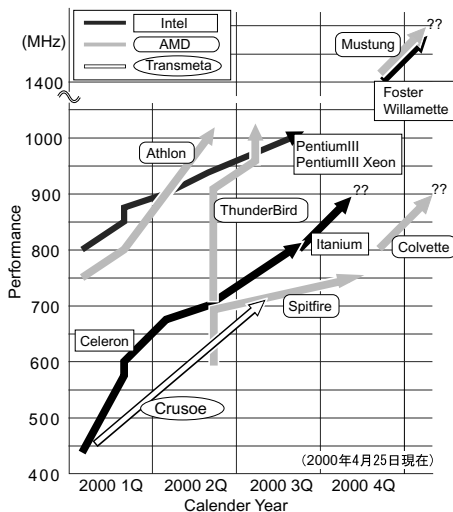


Fig. 1 CPU ロードマップ^{1, 2)}

2 64bit へ移行する理由⁵⁾

64bit へ移行する最大の理由は管理できるメモリ空間を拡張することである。現在の 32bitCPU では 4GB までメモリを管理することが可能であり, 現時点では大抵のアプリケーションはこの容量で扱うことができる。ところが, 最近の大規模データベースなどではアプリケーションサイズが巨大化し, 4GB 以上のメモリが必要とな

るケースも増えている。これらの大規模アプリケーションでは 32bitCPU はメモリ空間を管理することは不可能である。また 4GB 以下のものでも, メモリへアクセスしてデータを読み込むのに通常よりも長い時間が必要となり, パフォーマンスが低下してしまう。

このような大規模なメモリ空間を管理し, 高速アクセスを実現するためには CPU のバス幅 (bit 数) を増やせばよいが, 単に 64bit 化しただけではその性能を発揮することができない。64bitCPU の性能を十分に発揮するためのアーキテクチャとして, Intel は「Intel Architecture (IA) 64」の開発に全力を注いでいる。

3 CPU の高速化技術

3.1 明示的な並列化 (EPIC)⁶⁾

64bit のマイクロプロセッサはより多くの並列実行を行うため, 性能向上の妨げとなる分岐命令やプロセッサとメモリ間の遅延, 現在の逐次型プログラミング・モデルがより重要な問題となる。EPIC(Explicitly Parallel Instruction Computer) 技術とは, 明らかに並列化した方がよいと分かる部分についてはソフトウェアが CPU に明示的に働きかけるようなプログラミングを可能にする技術である。現在のプロセッサ・アーキテクチャを用いた場合, 逐次処理に関わる問題が存在するが, EPIC 技術では分岐数や分岐予測ミス, メモリとプロセッサ間の遅延を減少し性能向上を図ることができる。

IA-64 ではこの EPIC 技術により高性能化とコンピューティングの進展を実現している。なお IA-64 プロセッサは, IA-32 ベースのソフトウェアおよびオペレーティングシステムとの完全互換性を維持し, ハイエンドのサーバやワークステーションに必要な性能と機能を提供することができる。Fig1 に示した CPU の中で 64bit のものは Itanium である。

3.2 VLIW(Very Long Instruction Word)^{3, 4)}

現在の RISC アーキテクチャのプロセッサでは回路自体が非常に大規模で複雑になりすぎてしまうという問題

がある。x86¹系の命令セットが並列処理に適さないため、RISCライクな命令に変換したり、命令の順序を最適化するなどの複雑な処理を行い、処理性能を高めている。現在のCPUはこれらの処理をハードウェアで実現するため、回路が大規模で複雑になり、結果的にコストが高くなってしまふ。

この問題はVLIWアーキテクチャを用い、x86命令をソフトウェア的に変換することで解決することが可能である。ハードウェア的に変換し最適化する方法では上述の通りコストや消費電力の問題が生じるが、ソフトウェアにより命令変換をすれば回路を複雑にする必要がないため、回路の規模を大幅に削減することができ、消費電力を非常に低く抑えることが可能となる。これまでのように単純で短い命令を複数集めたRISCアーキテクチャとは逆に、VLIWアーキテクチャでは複数の機能を持たせた非常に長い命令セットを用いる²。その上で予め効率のよい処理方法をプログラムし、並列度を向上させるのである。

3.2.1 VLIWアーキテクチャを採用したCPU^{3, 4)}

VLIWアーキテクチャを用いて並列化し、高速化を図ったCPUの一つとしてTransmeta社のCrusoeがある。Crusoeはシンプルな構造のハードと高度なエミュレーション技術によりx86互換を実現するCPUである。ハードがシンプルである分コストを抑え、消費電力が少ない分モバイル端末で使用すればバッテリーを現在の3倍以上にすることが可能になる。

Crusoeではx86命令をすべて実行するために、Code Morphing Software(CMS)と呼ばれるソフトウェアとともに動作し、CMS内でx86命令をVLIW命令に変換するエミュレーションを行っている。また、プロセッサに2MBの翻訳バッファを持たせ、いったんVLIW命令に変換した命令コードをキャッシュすることで性能を高めている。

Crusoeは32bitのコードを4個パックにした128bitのVLIWを採用している。このため同時に実行できる機能をあらかじめ1命令としてプログラムすることで並列度を向上させ、処理速度を高めることができる。

Crusoeは、Intelなどが目指しているハイエンドのCPUとは別の角度から高速化を図った、モバイル端末に最適な省電力設計の高性能CPUと言える。

3.2.2 Crusoeの弱点⁴⁾

前述の通り、Crusoeの性能はソフトウェア(CMS)に依存するところが大きい。Crusoeでは複雑で大規模なアプリケーションを実行した場合、CMSによる命令の変換が何度も行われ、パフォーマンスが低下するという問

¹Intelの16bitCPU「8086」に始まり、Pentium / へ受け継がれてきたマイクロコードアーキテクチャ。

²ロード・ストアなど複数の命令を1つの長い命令語の中に収める



Fig. 2 TransmetaのCrusoe(TM3120)

題が指摘されている。しかしこの問題はエミュレーション技術の発達に伴い解決することができるが、その技術進歩が遅ければCPUの持つポテンシャルを使い切ることができないと言える。

4 おわりに

最近のCPU業界の動向は激しく、高性能の新モデルが続々と発表されている。またFig1を信じるならば、来年の今ごろには1.4GHz程度のCPUや、IA-64系のCPUが数多く登場しているはずである。しかしこれらのCPUのほとんどはサーバーやワークステーション向けでコストが高いため、一般市場に出回するにはまだ時間がかかりそうである。

それに対し、コストの割に高パフォーマンスのThunderBirdやその廉価版であるSpitfireがそれぞれハイエンド、ローエンド市場において、一般向けデスクトップ用CPUとして人気を集めると予想され、Intelのハイ、ローエンド向けの高性能CPUの開発が待たれるところである。

またモバイルに関しては、Transmetaが主要パソコンメーカーのソニー、Compaq、Gatewayなど9社から総額8,800万ドルの出資を受けるなどのホットな話題もあり、4月24日にモバイル用のPentiumIIIとCeleronを発表したIntelや他の企業との間で今以上に激しい競争が行われそうである。

参考文献

- 1) 川上 真 CPUバイヤーズガイド～2000年春 『日経WinPC 4月号』(日経BP社、2000)
- 2) 川上 真 最新CPU & マザーボード徹底攻略 『日経WinPC 5月号』(日経BP社、2000)
- 3) 本田 雅一 特集 最新CPU新聞 『月刊ASCII 2月号』(株式会社アスキー、2000)
- 4) 本田 雅一 教えて! Crusoe 『月刊アスキー 3月号』(株式会社アスキー、2000)
- 5) 『Inside Intel's Merced:A Strategic Planning Discussion』 <http://www.aberdeen.com>
- 6) 『次世代型64ビット命令セット・アーキテクチャ初公開』 <http://www.intel.co.jp/jp/intel/pr/press/jointhp.htm>